

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-223021

(43)Date of publication of application : 30. 08. 1996

(51)Int. Cl. H03K 17/693

H03K 17/00

(21)Application number : 07-064036 (71)Applicant : MATSUSHITA ELECTRIC
IND CO LTD

(22)Date of filing : 23. 03. 1995 (72)Inventor : YAMAMOTO SHINJI
FUJIMOTO KAZUHISA

(30)Priority

Priority	06312998	Priority	16. 12. 1994	Priority	JP
number :		date :		country :	

(54) 1-INPUT AND MULTI-OUTPUT SWITCH AND MULTI-INPUT AND 1-OUTPUT
SWITCH



(57)Abstract:

PURPOSE: To improve the input/output return loss and the insertion loss of a 1-input/multi-output switch by reducing the capacity consisting of the FETs of OFF states which are connected in parallel between the input and output terminals.

CONSTITUTION: The SPST switches 101 to 104 are connected to the output terminals 121 to 124 respectively. A through FET 131 is connected in common to the input sides of the switches 101 and 102, and a through FET 132 is connected in common to the input sides of the switches 103 and 104. Then the input sides of both FET 131 and 132 are connected to an input terminal 11.

LEGAL STATUS

[Date of request for examination] 23.10.1997

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of
application other than the
examiner's decision of rejection or
application converted registration]

[Date of final disposal for
application]

[Patent number] 3040687

[Date of registration] 03.03.2000

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] One input terminal into which a signal is inputted, and two or more output terminals to which a signal is outputted, The unit switch group which consists of two or more unit switches which carried out the input side in common and were connected to juxtaposition, It has one input-side switch connected common to the input side of each unit switch which constitutes said unit switch group. The 1 input multi-output switch characterized by connecting said output terminal to the output side of each unit switch which constitutes said unit switch group in common, and connecting said input terminal to the input side of said input-side switch.

[Claim 2] One input terminal into which a signal is inputted, and two or more output terminals to which a signal is outputted, Two or more unit switch groups which consist of two or more unit switches which carried out the input side in common and were connected to juxtaposition, The one 1st input-side switch connected common to the input side of each unit switch which constitutes one unit switch group in said two or more unit switch groups, Other one 1st input-side switch connected common to the input side of each unit switch which constitutes other one unit switch group in said two or more unit switch groups, It has the one 2nd input-side switch connected common to the input side of said two 1st input-side switches. The 1 input multi-output switch characterized by connecting said output terminal to the output side of each unit switch which constitutes said two or more unit switch groups, respectively, and connecting said input terminal to the input side of said 2nd input-side switch.

[Claim 3] Said unit switch is a 1 input multi-output switch according to claim 1 or 2 characterized by being the SPST switch which consists of a shunt FET of the grounded source connected to through [which function as the transfer gate / through / FET / and through / FET / this], and a serial, or a grounded drain.

[Claim 4] Said input-side switch is a 1 input multi-output switch according to claim 1 characterized by being through [which functions as the transfer gate / FET].

[Claim 5] Said input-side switch is a 1 input multi-output switch according to claim 1 characterized by being the SPST switch which consists of a shunt FET of the grounded source connected to through [which function as the transfer gate / through / FET / and through / FET / this], and a serial, or a grounded drain.

[Claim 6] Said 1st input-side switch is a 1 input multi-output switch according to claim 2 characterized by being through [which functions as the transfer gate / FET].

[Claim 7] Said 2nd input-side switch is a 1 input multi-output switch according to claim 2 characterized by being through [which functions as the transfer gate / FET].

[Claim 8] One input terminal into which a signal is inputted, and three output terminals or more to which a signal is outputted, It consists of a shunt FET of the grounded source connected to through [which function as the transfer gate / through / FET / and through / FET / this], and a serial, or a grounded drain. In the 1 input multi-output switch equipped with three or more SPST switches by which the input side was connected common to said input terminal, and the output side was connected to said

three or more output terminals, respectively Gate width through [said / FET] is a 1 input multi-output switch characterized by being smaller than the gate width of said shunt FET.

[Claim 9] Gate width through [said / FET] is a 1 input multi-output switch according to claim 8 characterized by being 400-800 micrometers.

[Claim 10] The multi-input 1 output switch characterized by connecting with the output side of two or more input terminals into which a signal is inputted, one output terminal to which a signal is outputted, two or more unit switches connected to said two or more input terminals, respectively, and two or more of said unit switches, respectively, having through [which functions as the transfer gate / two or more / FET], and connecting said output terminal to each output side through [said / two or more / FET] in common.

[Claim 11] Two or more input terminals into which a signal is inputted, and one output terminal to which a signal is outputted, The through FET group which consists of two or more unit switches connected to said two or more input terminals, respectively, and through [which are connected to the output side of two or more of said unit switches, respectively, and function as the transfer gate / two or more / FET], The multi-input 1 output switch characterized by having one output side switch connected common to the output side through [each / FET] which constitutes said through FET group, and connecting said output terminal to the output side of said output side switch.

[Claim 12] Two or more input terminals into which a signal is inputted, and one output terminal to which a signal is outputted, Two or more through FET groups which consist of two or more unit switches connected to said two or more input terminals, respectively, and through [which are connected to the output side of two or more of said unit switches, respectively, and function as the transfer gate / two or more / FET], The one 1st output side switch connected common to the output side through [each / FET] which constitutes one through FET group in said two or more through FET groups, Other one 1st output side switch connected common to the output side through [each / FET] which constitutes other one through FET group in said two or more through FET groups, The multi-input 1 output switch characterized by having the 2nd output side switch connected common to the output side of said two 1st output side switches, and connecting said output terminal to the output side of said 2nd output side switch.

[Claim 13] Said unit switch is a multi-input 1 output switch given in any 1 term of claims 10-12 characterized by being the SPST switch which consists of a shunt FET of the grounded source connected to through

[which function as the transfer gate / through / FET / and through / FET / this], and a serial, or a grounded drain.

[Claim 14] Said output side switch is a multi-input 1 output switch according to claim 11 characterized by being through [which functions as the transfer gate / FET].

[Claim 15] Said output side switch is a multi-input 1 output switch according to claim 11 characterized by being the SPST switch which consists of a shunt FET of the grounded source connected to through [which function as the transfer gate / through / FET / and through / FET / this], and a serial, or a grounded drain.

[Claim 16] Said 1st output side switch is a multi-input 1 output switch according to claim 12 characterized by being through [which functions as the transfer gate / FET].

[Claim 17] Said 2nd output side switch is a multi-input 1 output switch according to claim 12 characterized by being through [which functions as the transfer gate / FET].

[Claim 18] Three or more input terminals into which a signal is inputted, and one output terminal to which a signal is outputted, It consists of a shunt FET of the grounded source connected to through [which function as the transfer gate / through / FET / and through / FET / this], and a serial, or a grounded drain. In the multi-input 1 output switch equipped with three or more SPST switches to which the input side was connected to said three or more input terminals, respectively, and the output side was connected common to said output terminal Gate width through [said / FET] is a multi-input 1 output switch characterized by being smaller than the gate width of said shunt FET.

[Claim 19] Gate width through [said / FET] is a multi-input 1 output switch according to claim 18 characterized by being 400-800 micrometers.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
 - 2.**** shows the word which can not be translated.
 - 3.In the drawings, any words are not translated.
-

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the 1 input multi-output switch and multi-input 1 output switch by which FET was connected to juxtaposition.

[0002]

[Description of the Prior Art] It follows on the spread of cellular phones etc. in recent years, and is GaAs. The need of the 1 input multi-output switch using MESFET is expanded. A low power and low loss are the descriptions, and this 1 input multi-output switch is used abundantly as an antenna switch for pocket devices, especially a 1 input 2 output switch, i.e., an SPDT (Single Pole Double Throw) switch.

[0003] Much more many output-ization is expected from now on, and it is thought that the need of a 1 input n output switch ($n=3, 4, \dots$) (a SPnT switch is called hereafter) grows.

[0004] Before explaining a SPnT switch, the SPST (Single Pole Single Throw) switch which is to the base of this switch is explained.

[0005] Drawing 19 (a) shows the circuit diagram of SPST switch 70, in drawing 19 (a), the input terminal into which, as for 71, a signal is inputted, and 72 are output terminals to which a signal is outputted, and through [FET / 73] and a shunt FET 74 are connected between the input terminal 71 and the output terminal 72. Through [FET / 73] is the transfer gate and the shunt FET 74 is formed for the improvement in isolation between an input terminal 71 and an output terminal 72.

Moreover, for inhibition of the leakage current to the gate, 1st several k-ohm bias resistance 75 is connected to a serial at the gate through [FET / 73], and 2nd several k-ohm bias resistance 76 is connected to the serial at the gate of a shunt FET 74. The 1st control electrical-potential-difference terminal 77 is a terminal which impresses bias voltage, in order ON-OFF [through / 73 / FET], and in order that ON-OFF [the 2nd control electrical-potential-difference terminal 78 / a shunt FET 74], it is a terminal which impresses bias voltage.

[0006] Now, FET is a depletion type and suppose that a threshold is V_{th} . The electrical potential difference impressed between the gate sources of FET: When V_{gs} is 0V, FET will be in ON condition, and when V_{gs} is below V_{th} , FET will be in an OFF condition. Therefore, when electrical-potential-difference: $V_{c1}=0V$ are impressed to the 1st control electrical-potential-difference terminal 77 and electrical-potential-difference: $V_{c2} \leq V_{th}$ is impressed to the 2nd control electrical-potential-difference

terminal 78, as through [FET / 73] will be in an OFF condition and shows ON condition and a shunt FET 74 to drawing 19 (b), SPST switch 70 serves as ON. On the contrary, when referred to as $V_{c1} \leq V_{th}$ and $V_{c2}=0V$, as through [FET / 73] will be in ON condition and shows an OFF condition and a shunt FET 74 to drawing 19 (c), SPST switch 70 serves as OFF. When SPST switch 70 is OFF, a shunt FET 74 connects an output terminal 72 to GND, and raises the isolation between an input terminal 71 and an output terminal 72.

[0007] Drawing 20 (a) - (c) shows the approximation-high-frequency equivalent circuit in case FET81 of a simple substance is in ON condition or an OFF condition. Drawing 20 (a) As for 82, as for the source and 84, in - (c), a drain and 83 are the gates. When V_{gs} of FET81 is 0V and FET81 is in ON condition, as shown in drawing 20 (b), FET81 can be considered to be resistance in approximation. When gate width $W_g=1200\mu m$ FET is assumed, it is about [of this FET] resistance $R_{on}=3\Omega$. Moreover, when V_{gs} of FET81 is below V_{th} , i.e., an OFF condition, as shown in drawing 20 (c), FET81 can be considered to be capacity in approximation. When gate width $W_g=1200\mu m$ FET is assumed, it is about [of this FET] capacity $C_{off}=0.3pF$. Therefore, in an equal circuit in case SPST switch 70 is ON, as shown in drawing 21 (a), SPST switch 70 can rewrite the equal circuit at the time of being OFF like drawing 21 (b), respectively.

[0008] Next, a 1 input n output switch, i.e., a SPnT switch, is explained.

[0009] Drawing 22 shows the circuit diagram of the conventional SPnT switch. Usually, when it constitutes a SPnT switch, SPST switch 70 shown in drawing 19 is connected to an input terminal 71 at n piece juxtaposition. It sets to drawing 22 and they are 701 and 702, ..., 70n. A SPST switch and 71 are an input terminal, 721, and 722, ..., 72n. An output terminal and 801, 802, ..., 80n It is load resistance.

[0010] By the way, some one SPST switch of a SPnT switch is always ON, and the input terminal 71 is always connected to one output terminal by something. Drawing 23 (a) is an input terminal 71 and an output terminal 721. SPST switch 701 of a between ON, the 702-70n of the other SPST switches The equal circuit in the case of being OFF is shown. Now, it is assumed for simplification that the ON resistance R_{on} of FET is 0ohm. In this case, an input terminal 71 and an output terminal 721 Capacity $n \times C_{off}$ which consists of FET which is in an OFF condition in between It is possible that it connects with juxtaposition. The equal circuit of this condition is shown in drawing 23 (b).

[0011] In the circuit shown in drawing 23 (b), it asks for the return

loss seen from the input terminal 71 using the Smith chart. An input terminal 71 and output terminal 72. It is capacity nXC_{off} in between. Since it connects with juxtaposition, the locus of an impedance moves clockwise on a Y conductance circle. load resistance R_L supposing it is 50Ω -- from the core of the Smith chart -- etc. -- a conductance circle top -- nXC_{off} only -- it is the value of the return loss for which the plane rotated clockwise asks.

[0012] Next, the conventional example of a multi-input 1 output switch (a nPST switch is called hereafter), i.e., an n input 1 output switch, is explained. A nPST switch can be constituted if replacing the input side and output side of a SPnT switch, speaking generally.

[0013] Drawing 24 shows the circuit diagram of the conventional nPST switch. Usually, when it constitutes a nPST switch, SPST switch 70 shown in drawing 19 is connected to n piece juxtaposition at an output terminal 72. In addition, it sets to drawing 24 and they are 791 and 792, ..., 79n. A signal generating circuit, 711, and 712, ..., 71n. An input terminal and R_L are load resistance. The signal generated in the signal generating circuit connected to the SPST switch of ON condition is outputted to an output terminal 72 through a SPST switch from an input terminal.

[0014] Hereafter, circuit actuation of the conventional nPST switch is explained.

[0015] It sets on the conventional nPST switch, for example, is an input terminal 711. The case where between output terminals 72 is turned ON is considered. In this case, SPST switch 701 It sets to ON and is the 702-70n of the other SPST switches. It sets to OFF.

[0016] Drawing 25 (a) is an input terminal 711. SPST switch 701 between output terminals 72 ON, the 702-70n of the other SPST switches. The equal circuit in the case of being OFF is shown, and drawing 25 (b) shows the equal circuit at the time of assuming that the ON resistance R_{on} of FET is 0Ω .

[0017] As shown in drawing 25 (b), it is an input terminal 711. Capacity nXC_{off} which consists of FET which is in an OFF condition between output terminals 72. It is possible that it connects with juxtaposition.

[0018] Drawing 26 shows the relation of the gate width through [FET] and the insertion loss in a SPST switch, and drawing 26 shows that the gate width W_g through [FET] affects an insertion loss. That is, an insertion loss decreases, so that gate width W_g through [FET] is enlarged.

[0019] Drawing 27 shows relation with the gate width of Shunt FET, the insertion loss, and isolation in a SPST switch, and it turns out that

the gate width W_g of Shunt FET affects isolation. That is, isolation improves, so that gate width W_g through [FET] is enlarged.

[0020] Although it can say that the larger one of the gate width W_g of through [FET] and Shunt FET is more desirable than these results, it is both in a saturation inclination by gate width $W_g=1200\mu\text{m}$. Therefore, usually in a SPST switch, it may be gate width $W_g=1200\mu\text{m}$ extent through [FET] and about [of Shunt FET] gate width $W_g=1200\mu\text{m}$.

[0021] moreover, the 1 input multi-output switch and multi-input 1 output switch by which two or more SPST switches are connected to juxtaposition -- also setting -- through [FET] and Shunt FET -- each -- it usually comes out to consider as about gate width $W_g=1200\mu\text{m}$. [0022]

[Problem(s) to be Solved by the Invention] Drawing 28 shows the value of the return loss seen from the input terminal 71 at the time of being referred to as $C_{off}=0.3\text{pF}$, $f=1.9\text{GHz}$, and $n=1-10$ in the aforementioned SPnT switch. The more n becomes large, the more the return loss seen from the input terminal 71 deteriorates. Although -10dB or less is securable as a value of return loss in $n\leq 3$, in $n\geq 4$, it turns out that the value of return loss is set to -10dB or more. Moreover, since the gap from 50Ω becomes large so that n is large, an insertion loss also increases.

[0023] In addition, the value of the return loss seen from the output terminal 72 in a SPnT switch also turns into a value of the return loss seen from the input terminal 71, and almost same value. The above thing is the same even when the input terminal 71 is connected to which output terminal, and it is the same also in a nPST switch.

[0024] Capacity nC_{off} which consists of FET of the OFF condition connected to juxtaposition between an input terminal and an output terminal in the conventional SPnT switch or conventional nPST switch with which it connects with juxtaposition and n SPST switches 70 become as explained above While I/O return loss deteriorates in a sake, it has the problem that an insertion loss increases.

[0025] 712-71n of moreover, input terminals which are OFF so that he can understand from drawing 25 (a) in the conventional nPST switch It will be in a short condition. 792-79n of for this reason, signal generating circuits An output will be in a short condition, and when transmitting the signal containing DC, it has the problem that un-arranging arises.

[0026] This invention aims at offering the 1 input multi-output switch with which I/O return loss and an insertion loss have been improved or a multi-input 1 output switch, and a multi-input 1 output switch with

which the output of a signal generating circuit does not short-circuit in view of the above.

[0027]

[Means for Solving the Problem] One input terminal by which, as for the solution means which invention of claim 1 provided, a 1 input multi-output switch is inputted into a signal, The unit switch group which consists of two or more output terminals to which a signal is outputted, and two or more unit switches which carried out the input side in common and were connected to juxtaposition, It has one input-side switch connected common to the input side of each unit switch which constitutes said unit switch group. It considers as the configuration in which said output terminal is connected to the output side of each unit switch which constitutes said unit switch group in common, and said input terminal is connected to the input side of said input-side switch.

[0028] One input terminal by which, as for the solution means which invention of claim 2 provided, a 1 input multi-output switch is inputted into a signal, Two or more unit switch groups which consist of two or more output terminals to which a signal is outputted, and two or more unit switches which carried out the input side in common and were connected to juxtaposition, The one 1st input-side switch connected common to the input side of each unit switch which constitutes one unit switch group in said two or more unit switch groups, Other one 1st input-side switch connected common to the input side of each unit switch which constitutes other one unit switch group in said two or more unit switch groups, It has the one 2nd input-side switch connected common to the input side of said two 1st input-side switches. It considers as the configuration in which said output terminal is connected to the output side of each unit switch which constitutes said two or more unit switch groups, respectively, and said input terminal is connected to the input side of said 2nd input-side switch.

[0029] Invention of claim 3 adds the configuration that said unit switch is a SPST switch which consists of a shunt FET of the grounded source connected to through [which function as the transfer gate / through / FET / and through / FET / this], and a serial, or a grounded drain to claim 1 or the configuration of 2.

[0030] Invention of claim 4 adds the configuration that said input-side switch is through [which functions as the transfer gate / FET] to the configuration of claim 1. Invention of claim 5 adds the configuration that said input-side switch is a SPST switch which consists of a shunt FET of the grounded source connected to through [which function as the transfer gate / through / FET / and through / FET / this], and a serial,

or a grounded drain to the configuration of claim 1.

[0031] Invention of claim 6 adds the configuration that said 1st input-side switch is through [which functions as the transfer gate / FET] to the configuration of claim 2.

[0032] Invention of claim 7 adds the configuration that said 2nd input-side switch is through [which functions as the transfer gate / FET] to the configuration of claim 2.

[0033] One input terminal into which, as for the solution means which invention of claim 8 provided, a signal is inputted, It consists of a shunt FET of the grounded source connected to through [which function as three or more the output terminals and the transfer gates to which a signal is outputted / through / FET / and through / FET / this], and a serial, or a grounded drain. It is premised on the 1 input multi-output switch equipped with three or more SPST switches by which the input side was connected common to said input terminal, and the output side was connected to said three or more output terminals, respectively. Gate width through [said / FET] is considered as the configuration of being smaller than the gate width of said shunt FET.

[0034] Invention of claim 9 adds the configuration that gate width through [said / FET] is 400-800 micrometers to the configuration of claim 8.

[0035] Two or more input terminals by which, as for the solution means which invention of claim 10 provided, a multi-output 1 input switch is inputted into a signal, One output terminal to which a signal is outputted, and two or more unit switches connected to said two or more input terminals, respectively, It has through [which is connected to the output side of two or more of said unit switches, respectively, and functions as the transfer gate / two or more / FET], and considers as the configuration in which said output terminal is connected to each output side through [said / two or more / FET] in common.

[0036] Two or more input terminals by which, as for the solution means which invention of claim 11 provided, a multi-output 1 input switch is inputted into a signal, One output terminal to which a signal is outputted, and two or more unit switches connected to said two or more input terminals, respectively, The through FET group which consists of through [which is connected to the output side of two or more of said unit switches, respectively, and functions as the transfer gate / two or more / FET], It has one output side switch connected common to the output side through [each / FET] which constitutes said through FET group, and considers as the configuration in which said output terminal is connected to the output side of said output side switch.

[0037] Two or more input terminals by which, as for the solution means which invention of claim 12 provided, a multi-output 1 input switch is inputted into a signal, One output terminal to which a signal is outputted, and two or more unit switches connected to said two or more input terminals, respectively, Two or more through FET groups which consist of through [which is connected to the output side of two or more of said unit switches, respectively, and functions as the transfer gate / two or more / FET], The one 1st output side switch connected common to the output side through [each / FET] which constitutes one through FET group in said two or more through FET groups, Other one 1st output side switch connected common to the output side through [each / FET] which constitutes other one through FET group in said two or more through FET groups, It has the 2nd output side switch connected common to the output side of said two 1st output side switches, and considers as the configuration in which said output terminal is connected to the output side of said 2nd output side switch.

[0038] Invention of claim 13 adds the configuration that said unit switch is a SPST switch which consists of a shunt FET of the grounded source connected to through [which function as the transfer gate / through / FET / and through / FET / this], and a serial, or a grounded drain to the configuration of claims 10-12.

[0039] Invention of claim 14 adds the configuration that said output side switch is through [which functions as the transfer gate / FET] to the configuration of claim 11.

[0040] Invention of claim 15 adds the configuration that said output side switch is a SPST switch which consists of a shunt FET of the grounded source connected to through [which function as the transfer gate / through / FET / and through / FET / this], and a serial, or a grounded drain to the configuration of claim 11.

[0041] Invention of claim 16 adds the configuration that said 1st output side switch is through [which functions as the transfer gate / FET] to the configuration of claim 12.

[0042] Invention of claim 17 adds the configuration that said 2nd output side switch is through [which functions as the transfer gate / FET] to the configuration of claim 12.

[0043] Three or more input terminals into which, as for the solution means which invention of claim 18 provided, a signal is inputted, It consists of a shunt FET of the grounded source connected to through [which function as one output terminal to which a signal is outputted as the transfer gate / through / FET / and through / FET / this], and a serial, or a grounded drain. It is premised on the 1 input multi-output

switch equipped with three or more SPST switches to which the input side was connected to said three or more input terminals, respectively, and the output side was connected common to said output terminal. Gate width through [said / FET] is considered as the configuration of being smaller than the gate width of said shunt FET.

[0044] Invention of claim 19 adds the configuration that gate width through [said / FET] is 400-800 micrometers to the configuration of claim 18.

[0045]

[Function] Since one input-side switch is connected to the input side of each unit switch which constitutes a unit switch group in common by the configuration of claim 1, the synthetic capacity value of FET between an input terminal and an output terminal is $nxCoff$. It decreases.

[0046] Since the 2nd one input-side switch is connected to the input side of the two 1st input-side switches in common by the configuration of claim 2, the synthetic capacity value of FET between an input terminal and an output terminal is $nxCoff$. It decreases still more greatly.

[0047] Capacity Coff through [FET] in case a SPST switch is in an OFF condition by gate width through [FET] being small by the configuration of claim 8 since gate width through [FET] is smaller than the gate width of Shunt FET Since it can decrease and isolation improves according to the gate width of Shunt FET being large, the I/O return loss and the insertion loss of a 1 input multi-output switch are improvable.

[0048] By the configuration of claim 9, since the effectiveness of the capacity Coff of FET which is in an OFF condition is larger than increase of on resistance through [FET] when gate width through [FET] is 400 micrometers - 800 micrometers, I/O return loss and an insertion loss are improved.

[0049] Since between each input terminal and output terminals which serve as OFF by turning OFF through [which was connected to each input terminal used as OFF through the unit switch by the configuration of claim 10 since through / FET / was connected to the output side of each unit switch, respectively / each / FET] can be intercepted, short-circuit of each input terminal used as OFF can be prevented.

[0050] Since one output side switch is connected to the output side through [each / FET] which constitutes a through FET group in common by the configuration of claim 11, the synthetic capacity value of FET between an input terminal and an output terminal is $nxCoff$. It decreases.

[0051] Since the 2nd one output side switch is connected to the output

side of the two 1st output side switches in common by the configuration of claim 12, the synthetic capacity value of FET between an input terminal and an output terminal is $nxCoff$. It decreases still more greatly.

[0052] Capacity Coff through [FET] in case a SPST switch is in an OFF condition by gate width through [FET] being small by the configuration of claim 18 since gate width through [FET] is smaller than the gate width of Shunt FET Since it can decrease and isolation improves according to the gate width of Shunt FET being large, the I/O return loss and the insertion loss of a multi-input 1 output switch are improvable.

[0053] Capacity Coff of FET which is in an OFF condition from increase of on resistance through [FET] when gate width through [FET] is 400 micrometers - 800 micrometers by the configuration of claim 19 Since effectiveness is large, I/O return loss and an insertion loss are improved.

[0054]

[Example] It explains referring to drawing 1 and drawing 2 (a), and (b) hereafter about SP4 T switch (switch on which four SPST switches were connected to the input terminal at juxtaposition) concerning the 1st example of this invention.

[0055] Drawing 1 shows the circuit diagram of SP4 T switch concerning the 1st example, and sets it to drawing 1. 101, 102, 103, and 104 A SPST switch and 11 Input terminal, 121, 122, 123, and 124 An output terminal and 131 SPST switches 101 and 102 Through [which was connected common to an input side / FET] 132 SPST switch 103 And 104 Through [which was connected common to an input side / FET] 141 It is through [FET / 131] because of inhibition of the leakage current to the gate. Bias resistance connected to the gate, 142 It is through [FET / 132] because of inhibition of the leakage current to the gate. Bias resistance connected to the gate, 151 Through [FET / 131] The control electrical-potential-difference terminal and 152 which impress the bias voltage for ON-OFF Through [FET / 132] It is the control electrical-potential-difference terminal which impresses the bias voltage for ON-OFF.

[0056] Hereafter, circuit actuation of SP4 T switch concerning the 1st example is explained.

[0057] For example, an input terminal 11 and an output terminal 121 The case where between is turned ON is considered. In this case, SPST switch 131 0V are impressed to the control electrical-potential-difference terminal 151 so that it may be set to ON, and it is through [FET /

132]. It is the control electrical-potential-difference terminal 152 so that it may be turned off. The electrical potential difference below V_{th} is impressed. Moreover, SPST switch 101 It sets to ON and is other SPST switch 102-104. It sets to OFF.

[0058] It sets to SP4 T switch concerning the 1st example, and drawing 2 (a) is an input terminal 11 and an output terminal 121. The equal circuit in case between is ON is shown, and drawing 2 (b) shows the equal circuit at the time of assuming that the ON resistance R_{on} of FET is 0ohm.

[0059] it is shown in drawing 2 (b) -- as -- an input terminal 11 and output terminal 121 the capacity which consists of FET of the OFF condition connected in between -- $2.67 \times C_{off}$ it is . the capacity which consists of FET between an input terminal and an output terminal in the conventional SP4 T switch -- $n \times C_{off}$, i.e., $4 \times C_{off}$, it is -- since -- in the 1st example, it turns out that the capacity of FET is decreasing to about 67%.

[0060] In addition, the aforementioned thing is the same even when the input terminal 11 is connected to which output terminal.

[0061] (Table 1) shows the comparison of the simulation result of the conventional SP4 T switch and SP4 T switch of the 1st example. FET used for simulation is $V_{th} = -2.5V$, and both $W_g(s)$ of through [FET] and Shunt FET set 1200 micrometers and a control electrical potential difference to 0/-4.5V.

[0062]

[Table 1]

	入力端子側リターンロス (dB)	挿入損失 (dB)
従来例	-8.8	1.0
第1実施例	-12.9	0.9

[0063] As shown in (Table 1), in the conventional example, the insertion loss whose return loss which was -8.8dB was 1.0dB at -12.9dB is improving to 0.9dB, respectively.

[0064] Although the 1st example was SP4 T switch, the improvement effect of I/O return loss and an insertion loss becomes high, so that n is large in a SPnT switch.

[0065] It explains referring to drawing 3 and drawing 4 (a), and (b) about SP8 T switch concerning the 2nd example of this invention hereafter.

[0066] Drawing 3 shows the circuit diagram of SP8 T switch concerning the 2nd example, and sets it to drawing 3 . 201 202, , 208 A SPST

switch and 21 Input terminal, 221 222, , 228 An output terminal and 231 SPST switch 201-204 Through [which was connected common to an input side / FET] 232 SPST switch 205-208 Through [which was connected common to an input side / FET] 241 Through [FET / 231] Bias resistance connected to the gate, 242 Through [FET / 232] Bias resistance connected to the gate, 251 Through [FET / 231] The control electrical-potential-difference terminal and 252 which impress the bias voltage for ON-OFF Through [FET / 232] It is the control electrical-potential-difference terminal which impresses the bias voltage for ON-OFF. Since circuit actuation of SP8 T switch concerning the 2nd example is the same as that of the 1st example, explanation is omitted.

[0067] It sets to SP8 T switch concerning the 2nd example, and drawing 4 (a) is an input terminal 21 and an output terminal 221. An equal circuit in case between is ON is shown, and drawing 4 (b) shows the equal circuit at the time of assuming that the ON resistance R_{on} of FET is 0ohm.

[0068] it is shown in drawing 4 (b) -- as -- an input terminal 21 and output terminal 221 the capacity which consists of FET of the OFF condition connected in between -- $4.8 \times C_{off}$ it is . Since the capacity between an input terminal and an output terminal is $n \times C_{off}$, i.e., $8 \times C_{off}$, in the conventional SP8 T switch, in the 2nd example, it turns out that the capacity of FET is decreasing to about 60%.

[0069] In addition, the aforementioned thing is the same even when the input terminal 21 is connected to which output terminal 22.

[0070] (Table 2) shows the comparison of the simulation result of the conventional SP8 T switch and SP8 T switch of the 2nd example. FET used for simulation is the same as that of the 1st example.

[0071]

[Table 2]

	入力端子側リターンロス (dB)	挿入損失 (dB)
従来例	-4.1	2.6
第2実施例	-8.1	1.5

[0072] As shown in (Table 2), in the conventional example, the insertion loss whose return loss which was -4.1dB was 2.6dB at -8.1dB is improving to 1.5dB, respectively.

[0073] It explains referring to drawing 5 and drawing 6 (a), and (b) about SP8 T switch concerning the 3rd example of this invention hereafter.

[0074] The circuit diagram of SP8 T switch concerning the 3rd example is

shown, it sets to drawing 5 , and drawing 5 is 301, and 302, . . . , 308. A SPST switch and 31 are an input terminal, 321, and 322, . . , 328. An output terminal and 361 SPST switch 301-304 The SPST switch connected common to an input side, and 362 SPST switch 305-308 It is the SPST switch connected common to an input side.

[0075] Hereafter, circuit actuation of SP8 T switch concerning the 3rd example is explained.

[0076] For example, an input terminal 31 and an output terminal 321 The case where between is turned ON is considered. In this case, SPST switch 301 SPST switch 361 It sets to ON and is other SPST switch 302-308. And 362 It sets to OFF.

[0077] It sets to SP8 T switch concerning the 3rd example, and drawing 6 (a) is an input terminal 31 and an output terminal 321. An equal circuit in case between is ON is shown, and drawing 6 (b) shows the equal circuit at the time of assuming that the ON resistance R_{on} of FET is 0ohm.

[0078] it is shown in drawing 6 (c) -- as -- an input terminal 31 and output terminal 321 the capacity which consists of FET of the OFF condition connected in between -- $6 \times C_{off}$ it is . the conventional SP8 T switch -- setting -- the capacity of FET between an input terminal and an output terminal -- $n \times C_{off}$, i.e., $8 \times C_{off}$, it is -- since -- in the 3rd example, it turns out that the capacity of FET is decreasing to about 75%.

[0079] In addition, the aforementioned thing is the same even when the input terminal 31 is connected to which output terminal.

[0080] (Table 3) shows the comparison of the simulation result of the conventional SP8 T switch and SP8 T switch of the 3rd example. FET used for simulation is the same [the table 3] as the case of the 1st example.

	入力端子側リターンロス (dB)	挿入損失 (dB)
従来例	-4.1	2.6
第3実施例	-6.5	2.0

[0081] As shown in (Table 3), in the conventional example, the insertion loss whose return loss which was -4.1dB was 2.6dB at -6.5dB is improving to 2.0dB, respectively. This shows that the same improvement effect is acquired even if it changes into a SPST switch through [which is connected to an input terminal / FET] in SP8 T switch.

[0082] It explains referring to drawing 7 and drawing 8 (a), and (b) about SP8 T switch concerning the 4th example of this invention hereafter.

[0083] Drawing 7 shows the circuit diagram of SP8 T switch concerning the 4th example, and sets it to drawing 7 . 401 402, , 408 A SPST switch and 41 Input terminal, 421 422, , 428 An output terminal and 431 SPST switch 401 and 402 Through [which was connected common to an input side / FET] 432 SPST switch 403 and 404 Through [which was connected common to an input side / FET] 433 SPST switch 405 and 406 Through [which was connected common to an input side / FET] 434 SPST switch 407 and 408 Through [which was connected common to an input side / FET] 441 Through [FET / 431] Bias resistance connected to the gate, 442 Through [FET / 432] Bias resistance connected to the gate, 443 Through [FET / 433] Bias resistance connected to the gate, 444 Through [FET / 434] Bias resistance connected to the gate, 451 Through [FET / 431] The control electrical-potential-difference terminal which impresses the bias voltage for ON-OFF, 452 Through [FET / 432] The control electrical-potential-difference terminal which impresses the bias voltage for ON-OFF, 453 Through [FET / 433] The control electrical-potential-difference terminal which impresses the bias voltage for ON-OFF, 454 Through [FET / 434] The control electrical-potential-difference terminal which impresses the bias voltage for ON-OFF, 471 Through [FET / 43] <SUB> 1 And 432 Through [which was connected common to an input side / FET] 472 Through [FET / 433] And 434 Through [which was connected common to an input side / FET] 481 Through [FET / 471] Bias resistance connected to the gate, 482 Through [FET / 472] Bias resistance connected to the gate, 491 Through [FET / 471] The control electrical-potential-difference terminal and 492 which impress the bias voltage for ON-OFF Through [FET / 472] It is the control electrical-potential-difference terminal which impresses the bias voltage for ON-OFF.

[0084] Hereafter, circuit actuation of SP8 T switch concerning the 4th example is explained.

[0085] For example, an input terminal 41 and an output terminal 421 The case where between is turned ON is considered. In this case, through [FET / 431] And 471 It is the control electrical-potential-difference terminal 451 so that it may be turned on. And 491 0V are impressed and they are through [other / FET / 432-434]. And 472 It is the control electrical-potential-difference terminal 452-454 so that it may be turned off. And 492 The electrical potential difference below V_{th} is impressed. Moreover, SPST switch 401 It sets to ON and is other SPST switch 402-408. It sets to OFF.

[0086] It sets to SP8 T switch concerning the 4th example, and drawing 8 (a) is an input terminal 41 and an output terminal 421. An equal circuit

in case between is ON is shown, and drawing 8 (b) shows the equal circuit at the time of assuming that the ON resistance Ron of FET is 0ohm.

[0087] it is shown in drawing 8 (b) -- as -- an input terminal 41 and output terminal 421 the capacity which consists of FET of the OFF condition connected in between -- $3.47 \times C_{off}$ it is . the conventional SP8 T switch -- setting -- the capacity between an input terminal and an output terminal -- $n \times C_{off}$, i.e., $8 \times C_{off}$, it is -- since -- in the 4th example, it turns out that the capacity of FET is decreasing to about 43%.

[0088] In addition, the aforementioned thing is the same even when the input terminal 41 is connected to which output terminal.

[0089] (Table 4) shows the comparison of the simulation result of the conventional SP8 T switch and SP8 T switch of the 4th example. FET used for simulation is the same [the table 4] as the case of the 1st example.

	入力端子側リターンロス (dB)	挿入損失 (dB)
従来例	-4.1	2.6
第4実施例	-11.9	1.4

[0090] As shown in (Table 4), in the conventional example, the insertion loss whose return loss which was -4.1dB was 2.6dB at -11.9dB is improving to 1.4dB, respectively. This shows that capacity of FET of the OFF condition connected between an input terminal and an output terminal by circuitry like the 4th example is made to min in SP8 T switch.

[0091] In said 1st [the] - the 4th example, although the 1 input multi-output switch was explained, each following example is the multi-input 1 output switch (a nPST switch is called hereafter.) on which the SPST switch was connected to juxtaposition.

[0092] Although a nPST switch can be constituted by replacing the input and output of a SPnT switch, the shunt FET of the SPST switch which is in an OFF condition only by changing will make the input terminal of an OFF condition short-circuit. Then, the following circuitry is taken in the nPST switch in this invention.

[0093] It explains referring to drawing 9 and drawing 10 (a), and (b) about 4PST switch concerning the 5th example of this invention hereafter.

[0094] Drawing 9 shows the circuit diagram of 4PST switch concerning the 5th example, and sets it to drawing 9 . 501, 502, 503, and 504 A SPST switch, 511, 512, 513, and 514 Input terminal, 52 is an output terminal and 531. SPST switch 501 Through [which was connected to the output side / FET] 532 SPST switch 502 Through [which was connected to the

output side / FET] 533 SPST switch 503 Through [which was connected to the output side / FET] 534 SPST switch 504 Through [which was connected to the output side / FET] 541 Bias resistance connected to the gate through [FET / 531], 542 Through [FET / 532] Bias resistance connected to the gate, 543 Through [FET / 533] Bias resistance connected to the gate, 544 Through [FET / 534] Bias resistance connected to the gate, 551 Through [FET / 531] The control electrical-potential-difference terminal which impresses the bias voltage for ON-OFF, 552 Through [FET / 532] The control electrical-potential-difference terminal which impresses the bias voltage for ON-OFF, 553 Through [FET / 533] The control electrical-potential-difference terminal and 554 which impress the bias voltage for ON-OFF Through [FET / 534] It is the control electrical-potential-difference terminal which impresses the bias voltage for ON-OFF.

[0095] Hereafter, circuit actuation of 4PST switch concerning the 5th example is explained.

[0096] For example, input terminal 511 The case where between output terminals 52 is turned ON is considered. In this case, through [FET / 531] It is the control electrical-potential-difference terminal 551 so that it may be turned on. 0V are impressed and they are through [other / FET / 532-534]. It is the control electrical-potential-difference terminal 552-554 so that it may be turned off. The electrical potential difference below V_{th} is impressed. Moreover, SPST switch 501 It turns ON and other SPST switch 502-504 is set to OFF.

[0097] Here, it is through [FET / 531-534]. A role is explained.

[0098] Drawing 10 (a) is an equal circuit in case between an input terminal 511 and output terminals 52 is ON in 4PST switch concerning the 5th example. Input terminal 512-514 which is OFF as shown in drawing 10 (a) It turns out that it is opened and above-mentioned un-arranging is canceled. Namely, through [FET / 531-534] The role which prevents the input terminal which is OFF becoming short is played.

[0099] Drawing 10 (b) shows the equal circuit at the time of assuming that the ON resistance R_{on} of FET is 0ohm. In this case, input terminal 511 It is capacity $4xC_{off}$ like SP4 T switch between output terminals 52. It is possible that it connects with juxtaposition. moreover, the capacity which is generally connected to juxtaposition between an input terminal and an output terminal in the case of a nPST switch -- nxC_{off} it is -- things are understood.

[0100] In addition, the aforementioned thing is the same even when which input terminal is connected to the output terminal 52.

[0101] It explains referring to drawing 11 and drawing 12 (a), and (b)

about 4PST switch concerning the 6th example of this invention hereafter.

[0102] Drawing 11 shows the circuit diagram of 4PST switch concerning the 6th example, and sets it to drawing 11. 601, 602, 603, and 604 A SPST switch, 611, 612, 613, and 614 Input terminal, 62 is an output terminal and 631. SPST switch 601 Through [which was connected to the output side / FET] 632 SPST switch 602 Through [which was connected to the output side / FET] 633 SPST switch 603 Through [which was connected to the output side / FET] 634 SPST switch 604 Through [which was connected to the output side / FET] 641 Through [FET / 631] Bias resistance connected to the gate, 642 Through [FET / 632] Bias resistance connected to the gate, 643 Through [FET / 633] Bias resistance connected to the gate, 644 Through [FET / 634] Bias resistance connected to the gate, 651 Through [FET / 631] The control electrical-potential-difference terminal which impresses the bias voltage for ON-OFF, 652 Through [FET / 632] The control electrical-potential-difference terminal which impresses the bias voltage for ON-OFF, 653 Through [FET / 633] The control electrical-potential-difference terminal which impresses the bias voltage for ON-OFF, 654 Through [FET / 634] The control electrical-potential-difference terminal which impresses the bias voltage for ON-OFF, 671 Through [FET / 631] And through [FET / 632] Through [which was connected common to an output side / FET] 672 Through [FET / 633] And through [FET / 634] Through [which was connected common to an output side / FET] 681 Through [FET / 671] Bias resistance connected to the gate, 682 Through [FET / 672] Bias resistance connected to the gate, 691 Through [FET / 671] The control electrical-potential-difference terminal and 692 which impress the bias voltage for ON-OFF Through [FET / 672] It is the control electrical-potential-difference terminal which impresses the bias voltage for ON-OFF.

[0103] Hereafter, circuit actuation of 4PST switch concerning the 6th example is explained. For example, input terminal 611 The case where between output terminals 62 is turned ON is considered. In this case, through [FET / 631] And 671 It is the control electrical-potential-difference terminal 651 so that it may be turned on. And 691 The electrical potential difference of 0V is impressed and they are through [other / FET / 632-634]. And 672 It is the control electrical-potential-difference terminal 652-654 so that it may be turned off. And 692 The electrical potential difference below V_{th} is impressed. Moreover, SPST switch 601 It turns ON and is other SPST switch 602-604. It sets to OFF.

[0104] Drawing 12 (a) shows an equal circuit in case between an input

terminal 611 and output terminals 62 is ON in 4PST switch concerning the 6th example, and drawing 12 (b) shows the equal circuit at the time of assuming that the ON resistance R_{on} of FET is 0ohm. In this case, input terminal 611 It is capacity $2.66 \times C_{off}$ like SP4 T switch between output terminals 62. It is possible that it connects with juxtaposition, and is $4 \times C_{off}$ of the 5th example. It compares and is decreasing to about 67%. Thus, it turns out that the completely same effectiveness as the case of a SPnT switch is acquired also in a nPST switch.

[0105] In addition, the aforementioned thing is the same even when which input terminal is connected to the output terminal 62.

[0106] (Table 5) shows the comparison of the simulation result of 4PST switch of the 5th example, and 4PST switch of the 6th example. FET used for simulation is the same as that of the case of the 1st example.

[0107]

[Table 5]

	出力端子側リターンロス (dB)	挿入損失 (dB)
第5実施例	-8.9	1.3
第6実施例	-13.1	1.2

[0108] As shown in (Table 5), the insertion loss whose return loss which was -8.9dB in the 5th example was 1.3dB in the 5th example in the 6th example at -13.1dB is improving to 1.2dB in the 6th example, respectively.

[0109] In addition, in the 5th and 6th examples, although the output side switch connected to the output side the SPST switch connected to the serial and through [FET] was through [FET], even if it replaces with through [FET] and uses a SPST switch, the same effectiveness is acquired.

[0110] It explains referring to drawing 13 about SP3 T switch concerning the 7th example of this invention hereafter.

[0111] The circuit diagram of SP3 T switch concerning the 7th example is shown, it sets to drawing 13 , and drawing 13 is 901, 902, and 903. A SPST switch and 91 are an input terminal, 921, 922, and 923. An output terminal, 931, 932, and 933 Each output terminal 921, 922, and 923 It is the connected load resistance.

[0112] Drawing 14 shows the return loss by the side of the input terminal when changing the gate width W_g of SP3 T switch concerning the 7th example through [FET], and an output terminal, and drawing 15 shows the insertion loss when changing the gate width W_g through [said / FET]. The threshold electrical potential difference V_{th} through

[FET] used for simulation is -2.5V, and the control electrical potential difference V_c is 0/-5.0V. At this time, gate width W_g of Shunt FET was considered as immobilization at 1200 micrometers.

[0113] Drawing 14 shows that return loss improves, so that the gate width W_g through [FET] becomes small. Moreover, when an insertion loss serves as min at the time of gate width $W_g=800$ micrometer through [FET] and gate width W_g becomes smaller than 800 micrometers from drawing 15 , it turns out that an insertion loss increases conversely. This is because ON resistance through [FET] becomes high, and can tell the gate width W_g through [FET] that an optimum value exists.

[0114] (Table 6) shows the comparison of the simulation result of the conventional SP3 T switch and SP3 T switch of the 7th example.

[0115]

[Table 6]

	スルーFET W_g (μm)	入力端子側リターンロス (dB)	挿入損失 (dB)
従来例	1200	-11.2	0.75
第7実施例	800	-13.5	0.70

[0116] At the time of gate width $W_g=1200$ micrometer through [FET], as shown in (Table 6), although return loss was -11.2dB and the insertion loss was 0.75dB, by making it gate width $W_g=800$ micrometer through [FET], return loss is improved by -13.5dB and the insertion loss is improved by 0.70dB, respectively.

[0117] It explains referring to drawing 16 about SP8 T switch concerning the 8th example of this invention hereafter.

[0118] The circuit diagram of SP8 T switch concerning the 8th example is shown, it sets to drawing 16 , and drawing 16 is 901, 902,908. A SPST switch and 91 are an input terminal, 921, 922, ..928. An output terminal, 931, 932, ..938 Each output terminal 921, 922, ..928 It is the connected load resistance.

[0119] Drawing 17 shows the return loss by the side of the input terminal when changing the gate width W_g of SP8 T switch concerning the 8th example through [FET], and an output terminal, and drawing 18 shows the insertion loss when changing the gate width W_g through [said / FET]. The threshold electrical potential difference V_{th} through [FET] used for simulation is -2.5V, and the control electrical potential difference V_c is 0/-5.0V. At this time, gate width W_g of Shunt FET was considered as immobilization at 1200 micrometers.

[0120] It turns out that return loss improves, so that the gate width W_g through [FET] becomes small also in SP8 T switch from drawing 17 .

Moreover, when an insertion loss serves as min at the time of gate width $W_g=400$ micrometer through [FET] and gate width W_g becomes smaller than 400 micrometers from drawing 18 , it turns out that an insertion loss increases conversely. This is because ON resistance through [FET] becomes high, and can tell the gate width W_g through [FET] that an optimum value exists.

[0121] (Table 7) shows the comparison of the simulation result of the conventional SP8 T switch and SP8 T switch of the 8th example.

[0122]

[Table 7]

	スルー F E T W_g (μ m)	入力端子側リターンロス (d B)	挿入損失 (d B)
従来例	1 2 0 0	- 4 . 2	2 . 6 7
第 8 実施例	4 0 0	- 1 0 . 2	1 . 3 3

[0123] At the time of gate width $W_g=1200$ micrometer through [FET], as shown in (Table 7), although return loss was -4.2dB and the insertion loss was 2.67dB, by making it gate width $W_g=400$ micrometer through [FET], return loss is improved by -10.2dB and the insertion loss is greatly improved by 1.33dB, respectively.

[0124] In addition, although the 7th example was SP3T and the 8th example was SP8T, the return loss of an input side and an output side and the improvement effect of an insertion loss become high, so that n is large in SPnT.

[0125] Moreover, although the 7th and 8th examples were 1 input multi-output switches, also in a multi-input 1 output switch, the return loss and the insertion loss of an input side and an output side are improvable by making gate width through [FET] small.

[0126]

[Effect of the Invention] According to the 1 input multi-output switch concerning invention of claim 1, since one input-side switch is connected to the input side of each unit switch in common, the synthetic capacity value of FET between an input terminal and an output terminal is $n \times \text{Coff}$. Since it decreases, I/O return loss and an insertion loss can be raised.

[0127] According to the 1 input multi-output switch concerning invention of claim 2, since the 2nd one input-side switch is connected to the input side of the two 1st input-side switches in common, the synthetic capacity value of FET between an input terminal and an output terminal is $n \times \text{Coff}$. Since it decreases still more greatly, I/O return loss and an insertion loss can be raised still more greatly.

[0128] Capacity Coff of FET which according to the 1 input multi-output switch concerning invention of claim 8 is in an OFF condition since gate width through [FET] is small Since the gate width of Shunt FET is large and isolation improves while being able to decrease, the I/O return loss and the insertion loss of a 1 input multi-output switch are improvable. In addition, when the number of through [FET] is three or more, the effectiveness of an improvement of I/O return loss and an insertion loss is demonstrated certainly.

[0129] Capacity Coff of FET which is in an OFF condition from increase of on resistance through [FET] when gate width through [FET] is 400-800 micrometers according to the 1 input multi-output switch concerning invention of claim 9 Since the effectiveness of reduction is large, an insertion loss can be reduced certainly.

[0130] Since according to the multi-input 1 output switch concerning invention of claim 10 through [FET] is connected to the output side of each unit switch, respectively and between each input terminal and output terminals used as OFF can be intercepted, the situation where each input terminal used as OFF becomes short can be prevented.

[0131] According to the multi-input 1 output switch concerning invention of claim 11, since one output side switch is connected to the output side through [each / FET] in common, the synthetic capacity value of FET between an input terminal and an output terminal is $n \times \text{Coff}$. Since it decreases, I/O return loss and an insertion loss can be raised.

[0132] According to the multi-input 1 output switch concerning invention of claim 12, since the 2nd one output side switch is connected to the output side of the two 1st output side switches in common, the synthetic capacity value of FET between an input terminal and an output terminal is $n \times \text{Coff}$. Since it decreases still more greatly, I/O return loss and an insertion loss can be raised still more greatly.

[0133] Capacity Coff of FET which according to the multi-input 1 output switch concerning invention of claim 18 is in an OFF condition since gate width through [FET] is small Since the gate width of Shunt FET is large and isolation improves while being able to decrease, the I/O return loss and the insertion loss of a multi-input 1 output switch are improvable. In addition, when the number of through [FET] is three or more, the effectiveness of an improvement of I/O return loss and an insertion loss is demonstrated certainly.

[0134] Capacity Coff of FET which is in an OFF condition from increase of on resistance through [FET] when gate width through [FET] is 400-800 micrometers according to the multi-input 1 output switch concerning

invention of claim 19 Since the effectiveness of reduction is large, an insertion loss can be reduced certainly.

[Translation done.]

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram of SP4 T switch concerning the 1st example of this invention.

[Drawing 2] (a) is an equal circuit in case between an input terminal and one output terminal is ON in SP4 T switch concerning the 1st example, and (b) is an equal circuit at the time of assuming that ON resistance of FET is 0ohm.

[Drawing 3] It is the circuit diagram of SP8 T switch concerning the 2nd example of this invention.

[Drawing 4] (a) is an equal circuit in case between an input terminal and one output terminal is ON in SP8 T switch concerning the 2nd example, and (b) is an equal circuit at the time of assuming that ON resistance of FET is 0ohm.

[Drawing 5] It is the circuit diagram of SP8 T switch concerning the 3rd example of this invention.

[Drawing 6] (a) is an equal circuit in case between an input terminal and one output terminal is ON in SP8 T switch concerning the 3rd example, and (b) is an equal circuit at the time of assuming that ON resistance of FET is 0ohm.

[Drawing 7] It is the circuit diagram of SP8 T switch concerning the 4th example of this invention.

[Drawing 8] (a) is an equal circuit in case between an input terminal and one output terminal is ON in SP8 T switch concerning the 4th example, and (b) is an equal circuit at the time of assuming that ON resistance

of FET is 0ohm.

[Drawing 9] It is the circuit diagram of 4PST switch concerning the 5th example of this invention.

[Drawing 10] (a) is an equal circuit in case between one input terminal and output terminal is ON in 4PST switch concerning the 5th example, and (b) is an equal circuit at the time of assuming that ON resistance of FET is 0ohm.

[Drawing 11] It is the circuit diagram of 4PST switch concerning the 6th example of this invention.

[Drawing 12] (a) is an equal circuit in case between one input terminal and output terminal is ON in 4PST switch concerning the 6th example, and (b) is an equal circuit at the time of assuming that ON resistance of FET is 0ohm.

[Drawing 13] It is the circuit diagram of SP3 T switch concerning the 7th example of this invention.

[Drawing 14] It is drawing showing relation with the return loss by the side of the gate width W_g of SP3 T switch concerning the 7th example through [FET], an input terminal, and an output terminal.

[Drawing 15] It is drawing showing the relation of the gate width W_g of SP3 T switch through [FET] and the insertion loss concerning the 7th example.

[Drawing 16] It is the circuit diagram of SP8 T switch concerning the 8th example of this invention.

[Drawing 17] It is drawing showing relation with the return loss by the side of the gate width W_g of SP8 T switch concerning the 8th example through [FET], an input terminal, and an output terminal.

[Drawing 18] It is drawing showing the relation of the gate width W_g of SP8 T switch through [FET] and the insertion loss concerning the 8th example.

[Drawing 19] (a) is the circuit diagram of the SPST switch used for each example of the former and this invention, (b) is an equal circuit which shows the condition that said SPST switch serves as ON, and (c) is an equal circuit which shows the condition that said SPST switch serves as OFF.

[Drawing 20] (a) is the circuit diagram showing a simple substance FET, (b) is an equal circuit in case said simple substance FET is in ON condition, and (c) is an equal circuit in case said simple substance FET is in an OFF condition.

[Drawing 21] (a) is an equal circuit in case said SPST switch is in ON condition, and (b) is an equal circuit in case said SPST is in an OFF condition.

[Drawing 22] It is the circuit diagram of the conventional SPnT switch.

[Drawing 23] (a) is an equal circuit in case between an input terminal and one output terminal is ON in the conventional SPnT switch, and (b) is an equal circuit at the time of assuming that ON resistance of FET is 0ohm.

[Drawing 24] It is the circuit diagram of the conventional nPST switch.

[Drawing 25] (a) is an equal circuit in case between one input terminal and output terminal is ON in the conventional nPST switch, and (b) is an equal circuit at the time of assuming that ON resistance of FET is 0ohm.

[Drawing 26] It is drawing showing the relation of the gate width through [FET] and the insertion loss in the conventional SPST switch.

[Drawing 27] It is drawing showing relation with the gate width of Shunt FET, the insertion loss, and isolation in the conventional SPST switch.

[Drawing 28] It is the Smith chart which shows the value of the return loss seen from the input terminal in the conventional SPnT switch.

[Description of Notations]

101 102, 103, 104 SPST Switch

11 Input Terminal

121 122, 123, 124 Output Terminal

131 132 Through [FET]

141 142 Bias Resistance

151 152 Control Electrical-Potential-Difference Terminal

201 202,, 208 SPST Switch

21 Input Terminal

221 222,, 228 Output Terminal

231 232 Through [FET]

241 242 Bias Resistance

251 252 Control Electrical-Potential-Difference Terminal

301 302,, 308 SPST Switch

31 Input Terminal

321 322,, 328 Output Terminal

361 362 SPST Switch

401 402,, 408 SPST Switch

41 Input Terminal

421 422,, 428 Output Terminal

431 432, 433, 434 Through [FET]

441 442, 443, 444 Bias Resistance

451 452, 453, 454 Control Electrical-Potential-Difference Terminal

471 472 Through [FET]

481 482 Bias Resistance

491 492 Control Electrical-Potential-Difference Terminal

501 502, 503, 504 SPST Switch
511 512, 513, 514 Input Terminal
52 Output Terminal
531 532, 533, 534 Through [FET]
541 542, 543, 544 Bias Resistance
551 552, 553, 554 Control Electrical-Potential-Difference Terminal
601 602, 603, 604 SPST Switch
611 612, 613, 614 Input Terminal
62 Output Terminal
631 632, 633, 634 Through [FET]
641 642, 643, 644 Bias Resistance
651 652, 653, 654 Control Electrical-Potential-Difference Terminal
671 672 Through [FET]
681 682 Bias Resistance
691 692 Control Electrical-Potential-Difference Terminal
901 902, 903,908 SPST Switch
91 Input Terminal
921 922, 923,928 Output Terminal
931 932, 933,938 Load Resistance

[Translation done.]

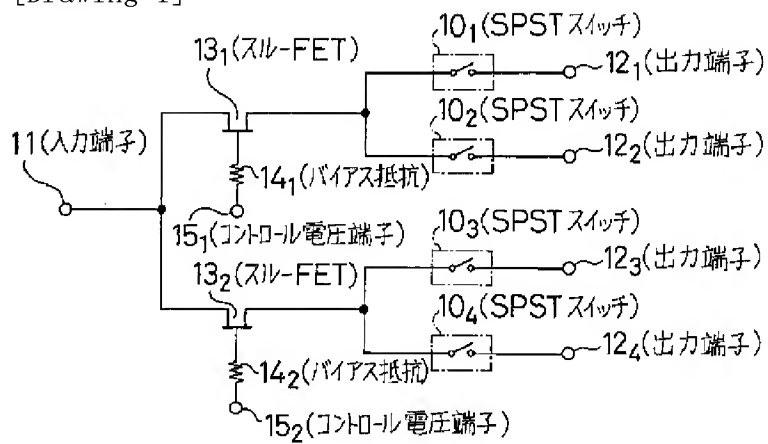
* NOTICES *

JP0 and NCIP1 are not responsible for any
damages caused by the use of this translation.

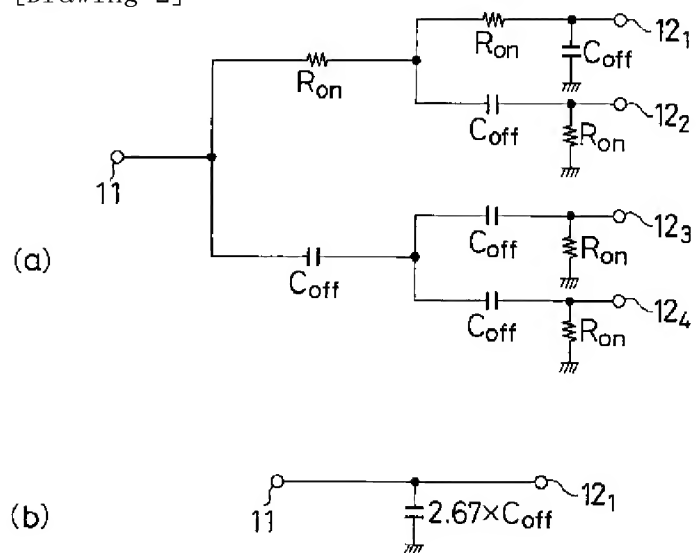
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

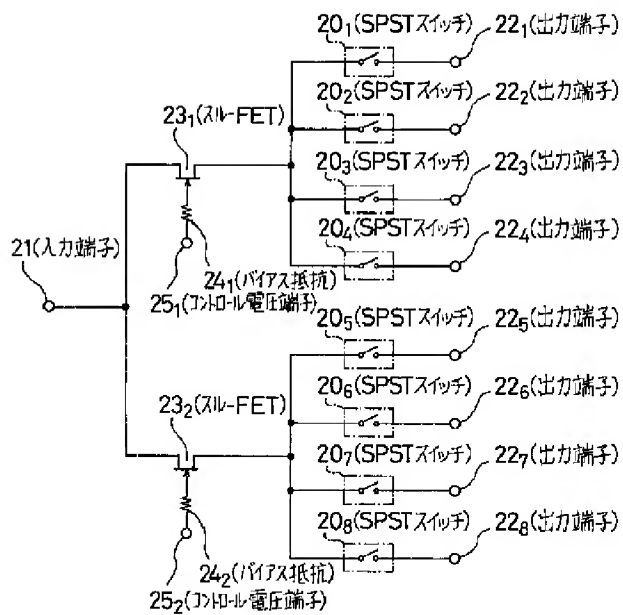
[Drawing 1]



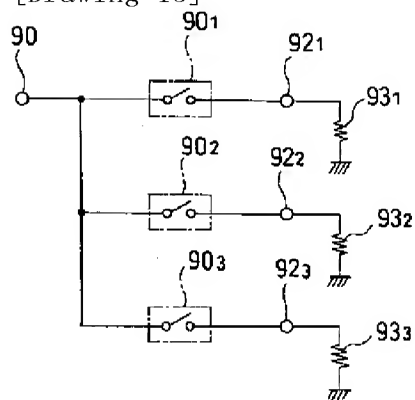
[Drawing 2]



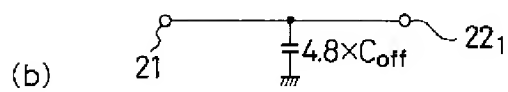
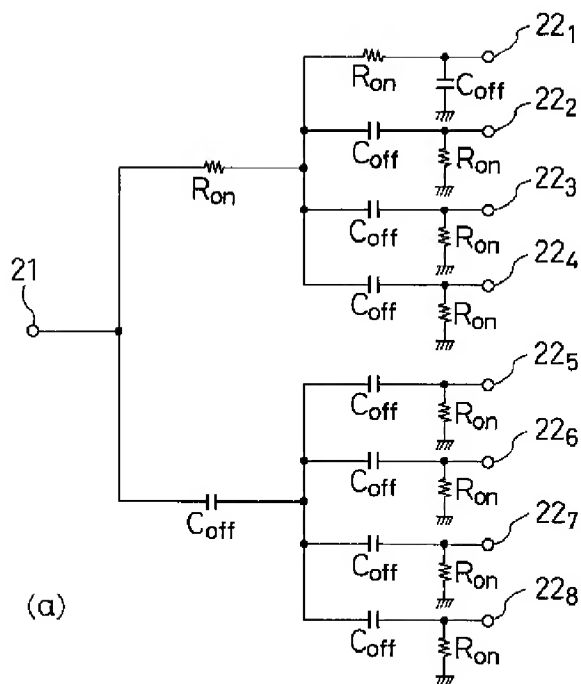
[Drawing 3]



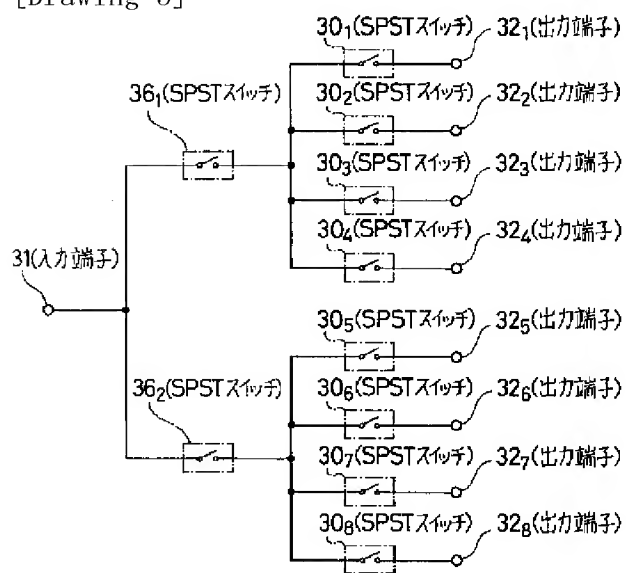
[Drawing 13]



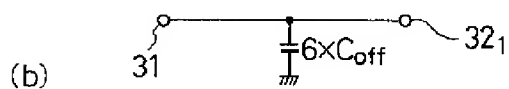
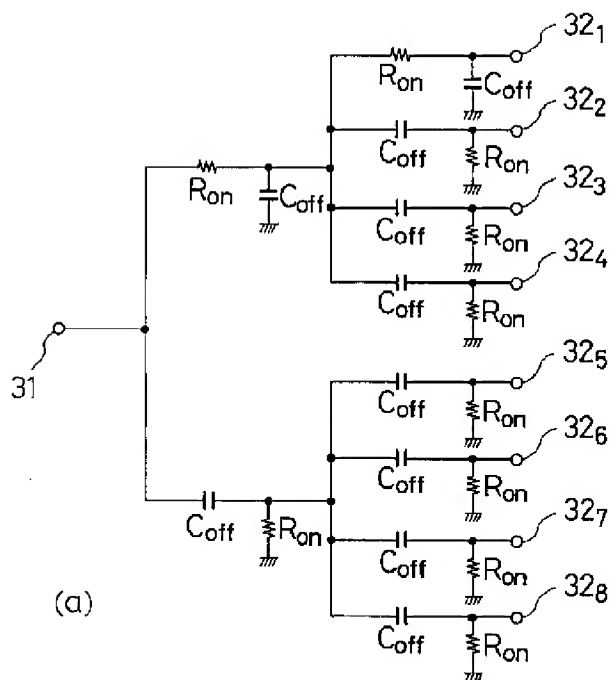
[Drawing 4]



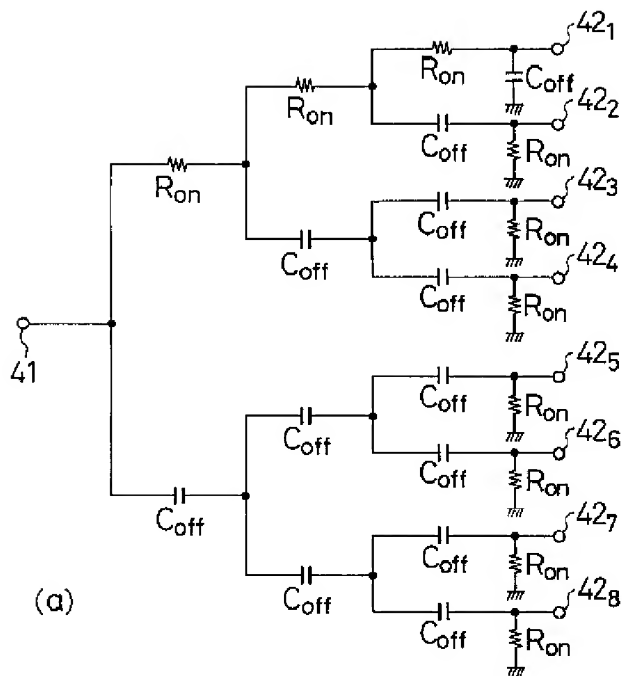
[Drawing 5]



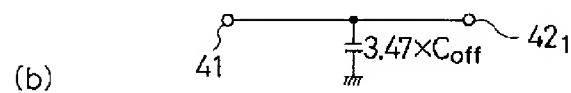
[Drawing 6]



[Drawing 8]

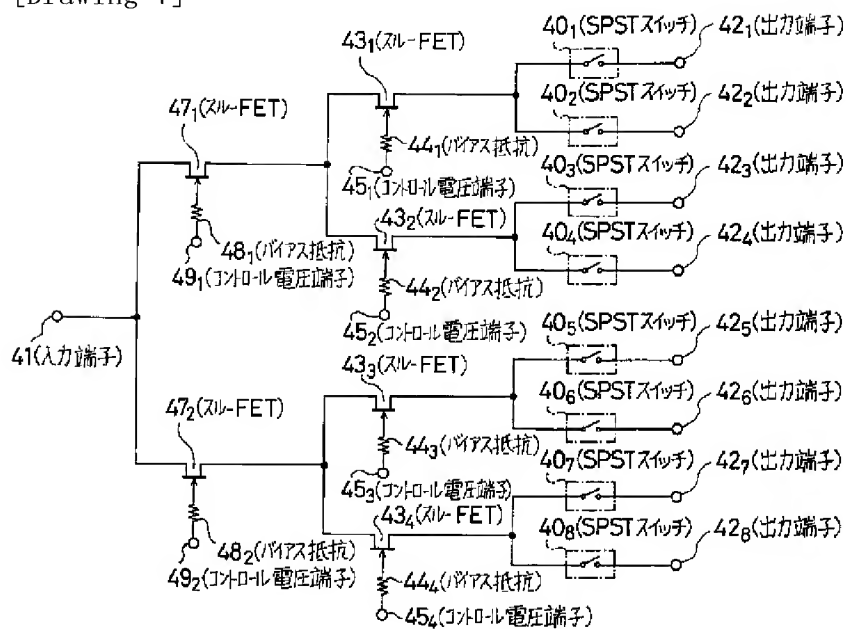


(a)

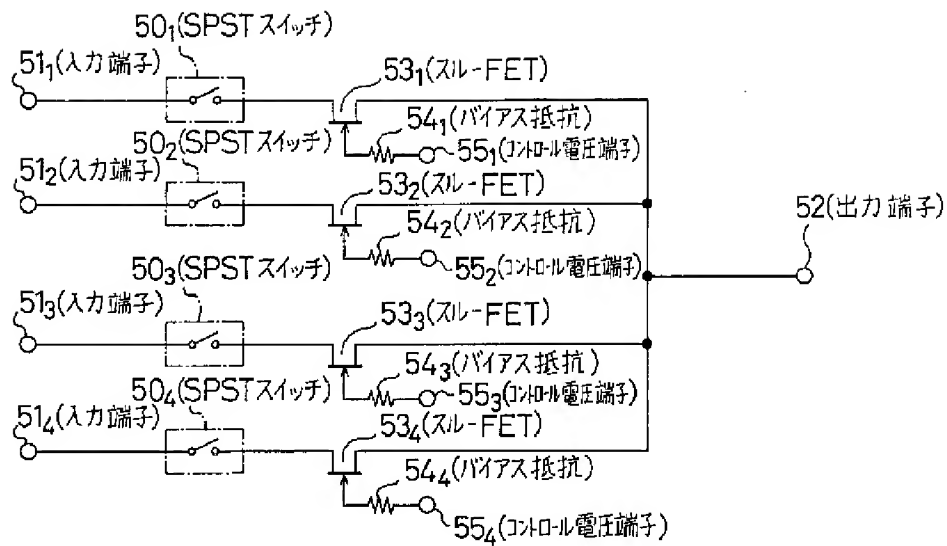


(b)

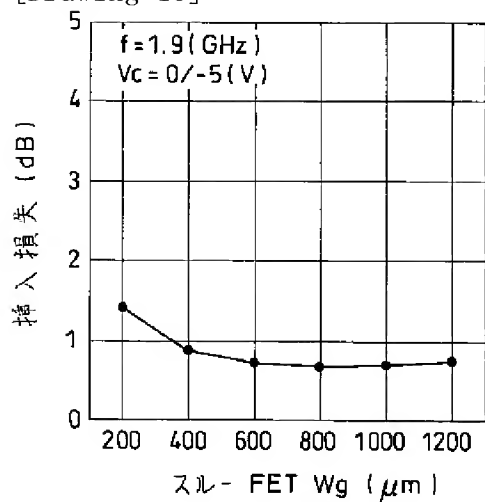
[Drawing 7]



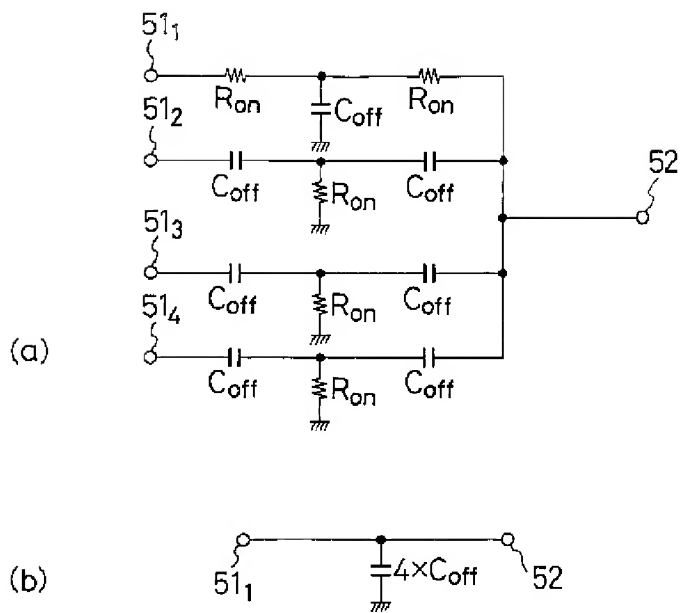
[Drawing 9]



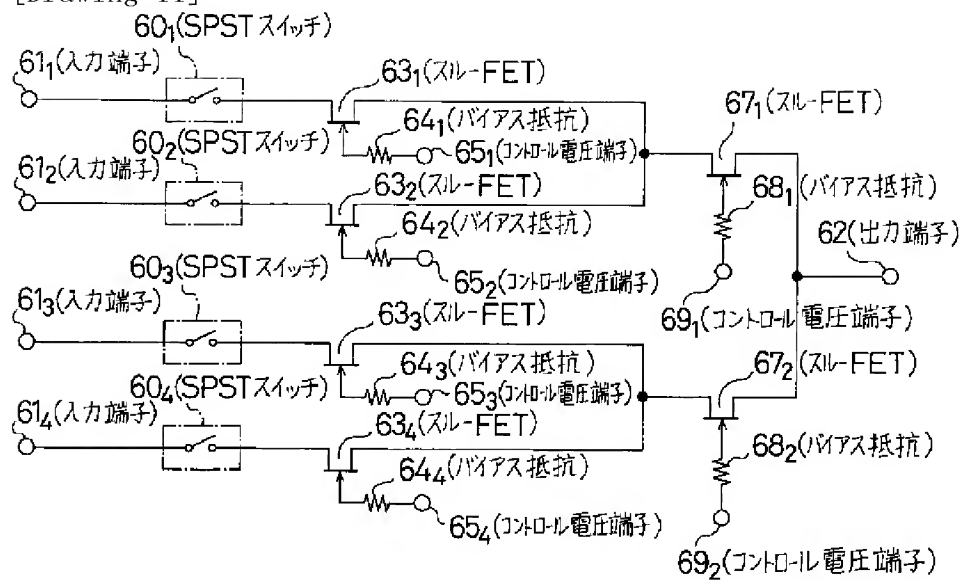
[Drawing 15]



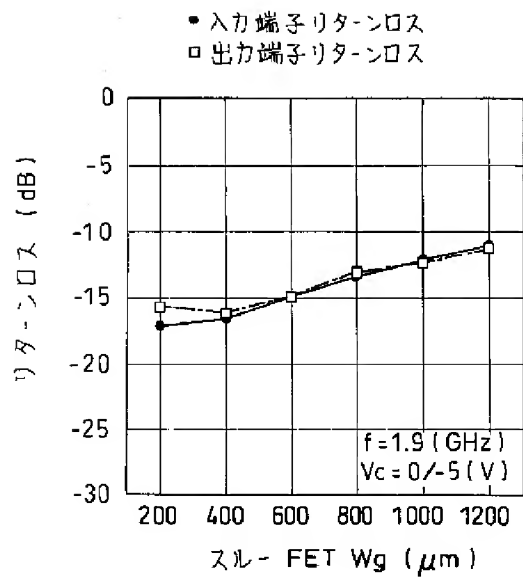
[Drawing 10]



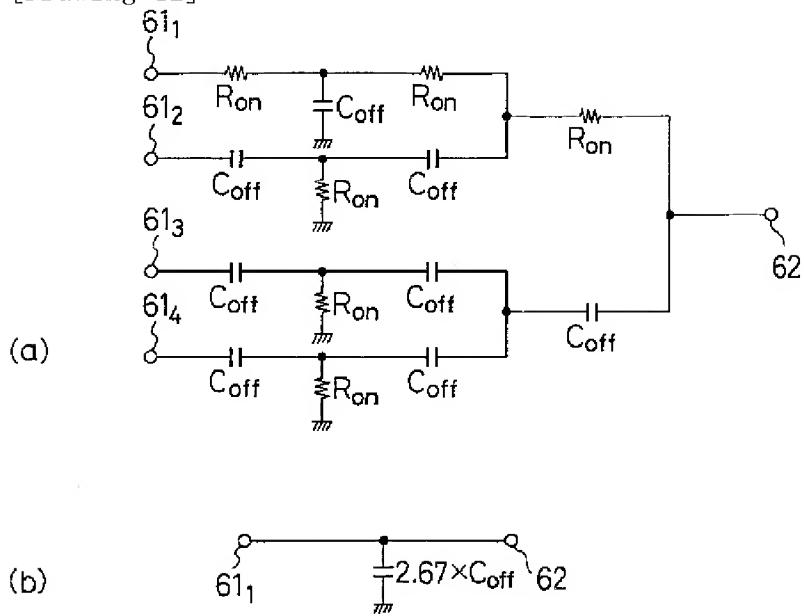
[Drawing 11]



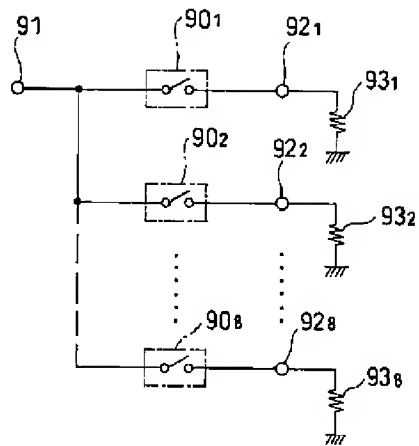
[Drawing 14]



[Drawing 12]

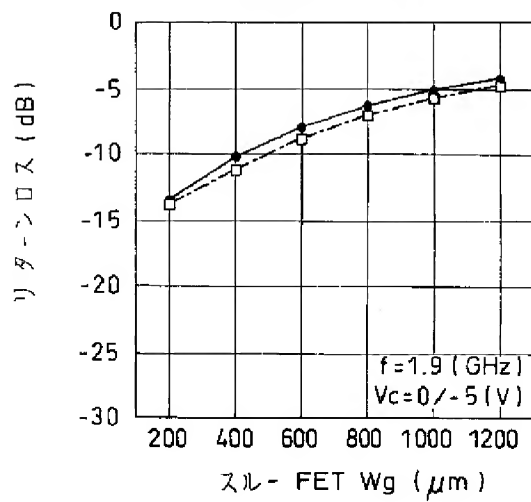


[Drawing 16]

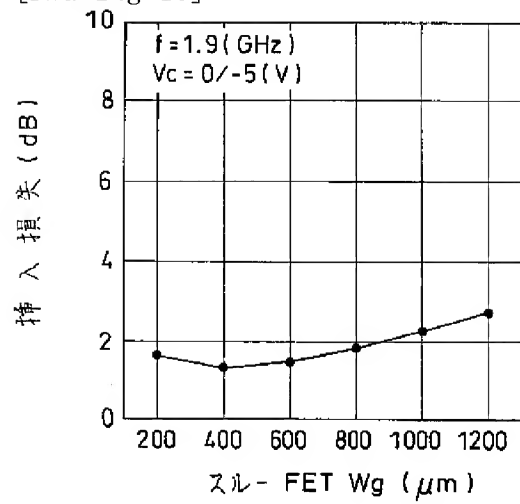


[Drawing 17]

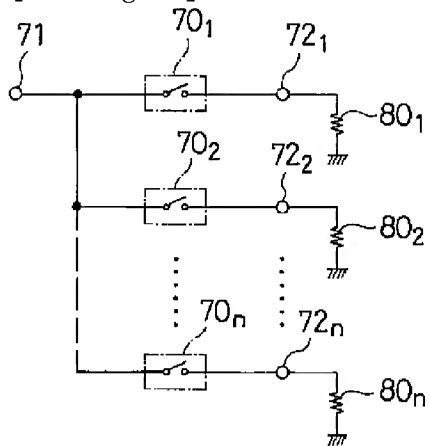
- 入力端子リターンロス
- 出力端子リターンロス



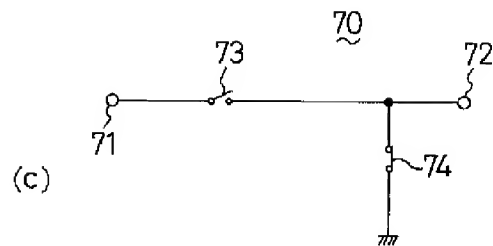
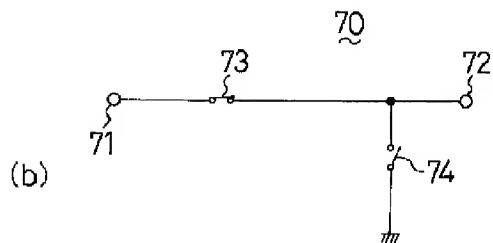
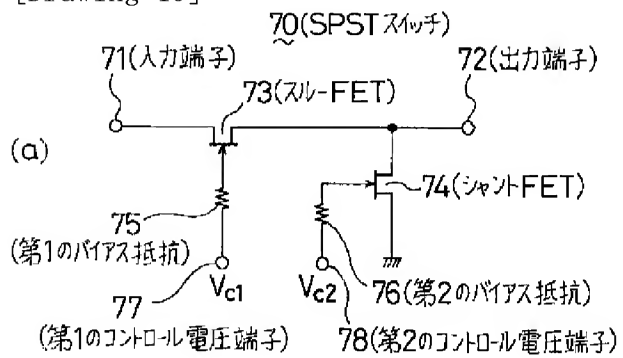
[Drawing 18]



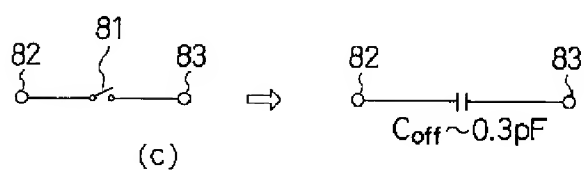
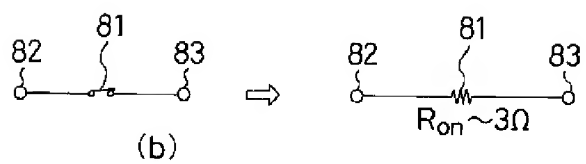
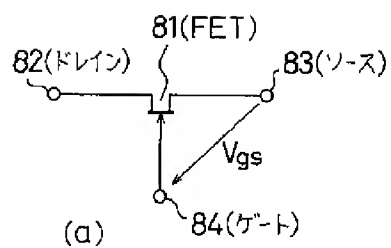
[Drawing 22]



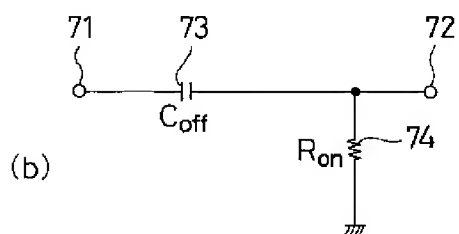
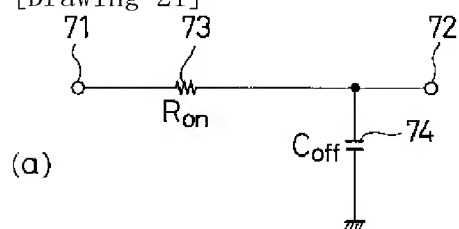
[Drawing 19]



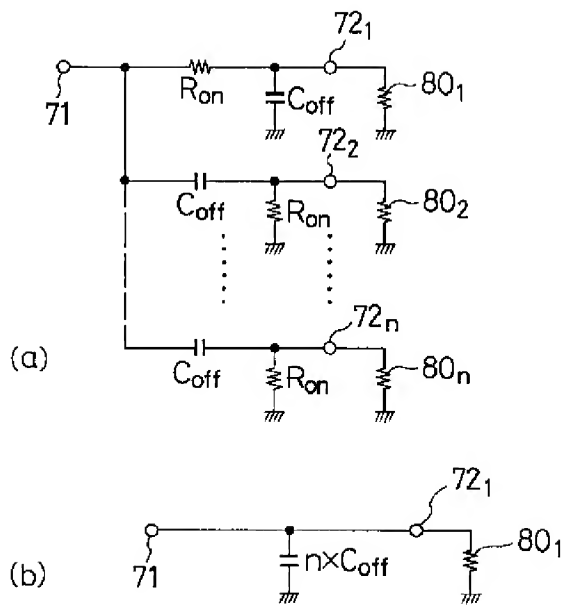
[Drawing 20]



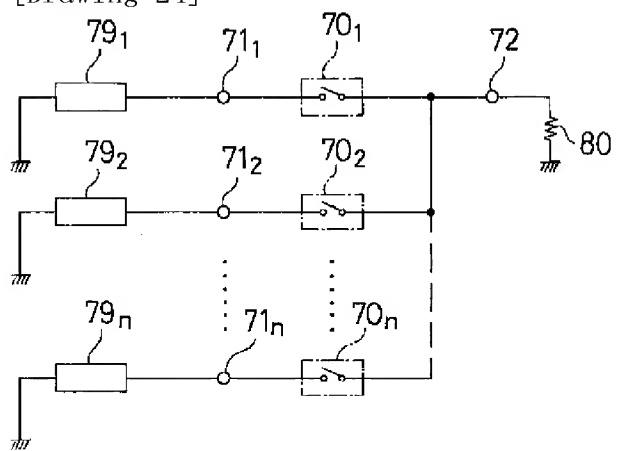
[Drawing 21]



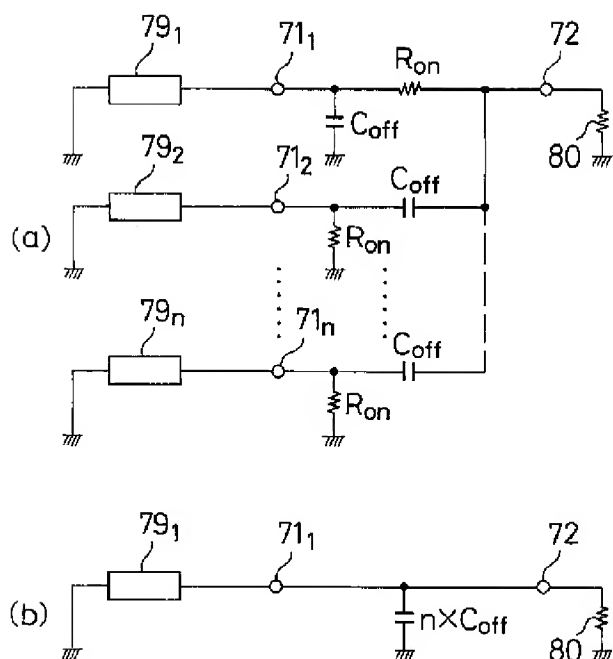
[Drawing 23]



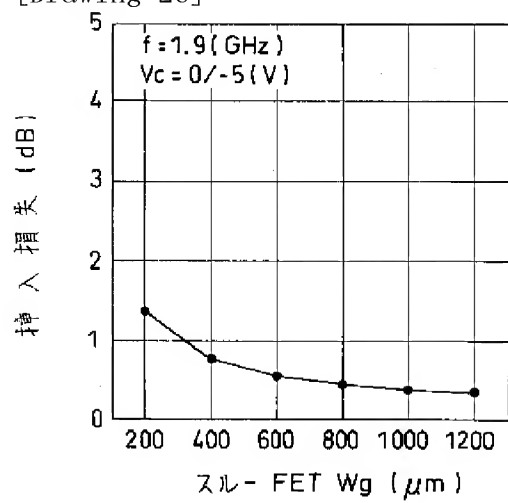
[Drawing 24]



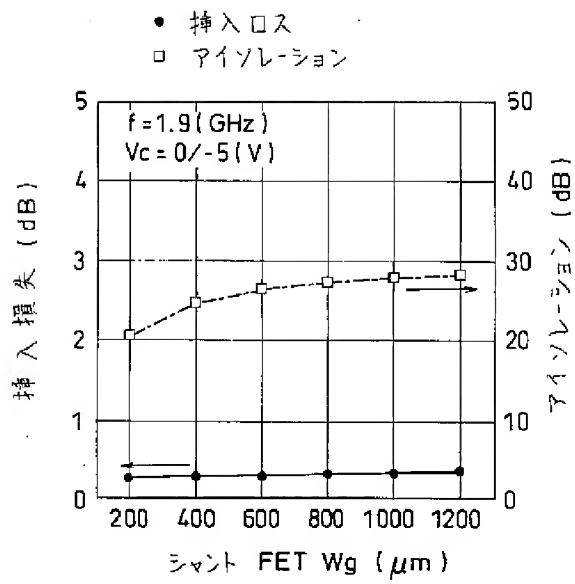
[Drawing 25]



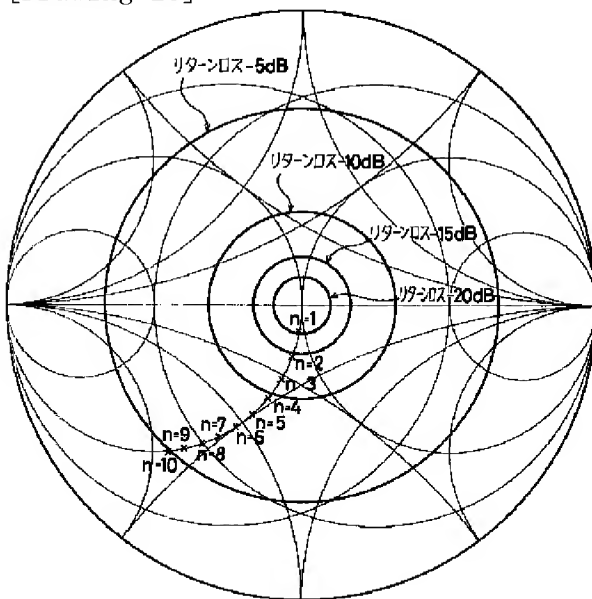
[Drawing 26]



[Drawing 27]



[Drawing 28]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-223021

(43)公開日 平成8年(1996)8月30日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/693		9184-5K	H 0 3 K 17/693	A
17/00		9184-5K	17/00	E

審査請求 未請求 請求項の数19 O L (全 21 頁)

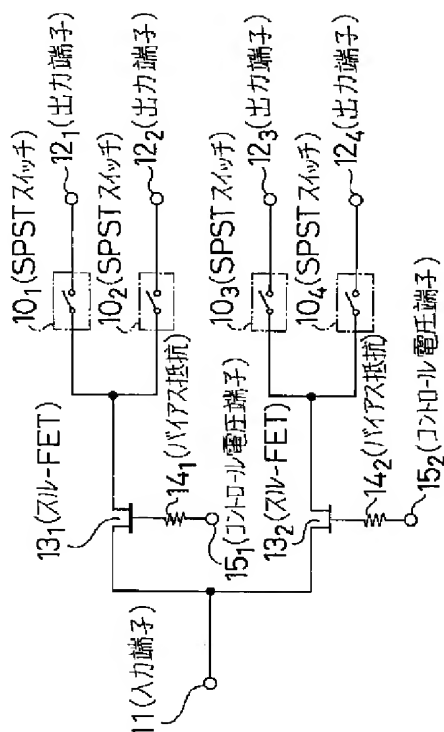
(21)出願番号	特願平7-64036	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成7年(1995)3月23日	(72)発明者	山本 真司 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(31)優先権主張番号	特願平6-312998	(72)発明者	藤本 和久 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(32)優先日	平6(1994)12月16日	(74)代理人	弁理士 前田 弘 (外2名)
(33)優先権主張国	日本 (J P)		

(54)【発明の名称】 1入力多出力スイッチ及び多入力1出力スイッチ

(57)【要約】

【目的】 1入力多出力スイッチにおいて入出力端子間に並列に接続されるOFF状態のFETからなる容量を低減することにより、入出力リターンロス及び挿入損失を向上させる。

【構成】 4つの出力端子12₁～12₄にはそれぞれSPSTスイッチ10₁～10₄が接続されている。SPSTスイッチ10₁及び10₂の入力側にはスルーFET 13₁が共通に接続されている。SPSTスイッチ10₃及び10₄の入力側にはスルーFET 13₂が共通に接続されている。スルーFET 13₁及びスルーFET 13₂の入力側は入力端子11に接続されている。



1

2

【特許請求の範囲】

【請求項1】 信号が入力される1つの入力端子と、
信号が出力される複数の出力端子と、
入力側を共通にして並列に接続された複数の単位スイ
ッチよりなる単位スイッチ群と、
前記単位スイッチ群を構成する各単位スイッチの入力側
に共通に接続された1つの入力側スイッチとを備え、
前記単位スイッチ群を構成する各単位スイッチの出力側
に前記出力端子が共通に接続され、
前記入力側スイッチの入力側に前記入力端子が接続され
ていることを特徴とする1入力多出力スイッチ。

【請求項2】 信号が入力される1つの入力端子と、
信号が出力される複数の出力端子と、
入力側を共通にして並列に接続された複数の単位スイ
ッチよりなる複数の単位スイッチ群と、
前記複数の単位スイッチ群のうちの1つの単位スイ
ッチ群を構成する各単位スイッチの入力側に共通に接続さ
れた1つの第1入力側スイッチと、
前記複数の単位スイッチ群のうちの他の1つの単位スイ
ッチ群を構成する各単位スイッチの入力側に共通に接続
された他の1つの第1入力側スイッチと、
前記2つの第1入力側スイッチの入力側に共通に接続さ
れた1つの第2入力側スイッチとを備え、
前記複数の単位スイッチ群を構成する各単位スイッチの
出力側に前記出力端子がそれぞれ接続され、
前記第2入力側スイッチの入力側に前記入力端子が接続
されていることを特徴とする1入力多出力スイッチ。

【請求項3】 前記単位スイッチは、トランスファーク
ートとして機能するスルーFETと該スルーFETと直
列に接続されたソース接地又はドレイン接地のシャント
FETとからなるSPSTスイッチであることを特徴と
する請求項1又は2に記載の1入力多出力スイッチ。

【請求項4】 前記入力側スイッチは、トランスファーク
ートとして機能するスルーFETであることを特徴と
する請求項1に記載の1入力多出力スイッチ。

【請求項5】 前記入力側スイッチは、トランスファーク
ートとして機能するスルーFETと該スルーFETと
直列に接続されたソース接地又はドレイン接地のシャ
ントFETとからなるSPSTスイッチであることを特徴
とする請求項1に記載の1入力多出力スイッチ。

【請求項6】 前記第1入力側スイッチは、トランス
ファークートとして機能するスルーFETであることを特
徴とする請求項2に記載の1入力多出力スイッチ。

【請求項7】 前記第2入力側スイッチは、トランス
ファークートとして機能するスルーFETであることを特
徴とする請求項2に記載の1入力多出力スイッチ。

【請求項8】 信号が入力される1つの入力端子と、
信号が出力される3つ以上の出力端子と、
トランスファークートとして機能するスルーFETと該
スルーFETと直列に接続されたソース接地又はドレ
イン接地のシャントFETとからなり、入力側が前記入力
端子に共通に接続され且つ出力側が前記3つ以上の出力
端子にそれぞれ接続された3つ以上のSPSTスイ
ッチとを備えた1入力多出力スイッチにおいて、
前記スルーFETのゲート幅は前記シャントFETのゲ
ート幅よりも小さいことを特徴とする1入力多出力ス
イッチ。

【請求項9】 前記スルーFETのゲート幅は400～
800 μ mであることを特徴とする請求項8に記載の1
入力多出力スイッチ。

【請求項10】 信号が入力される複数の入力端子と、
信号が出力される1つの出力端子と、
前記複数の入力端子にそれぞれ接続された複数の単位ス
イッチと、
前記複数の単位スイッチの出力側にそれぞれ接続され、
トランスファークートとして機能する複数のスルーFET
とを備え、
前記複数のスルーFETの各出力側に前記出力端子が共
通に接続されていることを特徴とする多入力1出力ス
イッチ。

【請求項11】 信号が入力される複数の入力端子と、
信号が出力される1つの出力端子と、
前記複数の入力端子にそれぞれ接続された複数の単位ス
イッチと、
前記複数の単位スイッチの出力側にそれぞれ接続され、
トランスファークートとして機能する複数のスルーFET
よりなるスルーFET群と、
前記スルーFET群を構成する各スルーFETの出力側
に共通に接続された1つの出力側スイッチとを備え、
前記出力側スイッチの出力側に前記出力端子が接続され
ていることを特徴とする多入力1出力スイッチ。

【請求項12】 信号が入力される複数の入力端子と、
信号が出力される1つの出力端子と、
前記複数の入力端子にそれぞれ接続された複数の単位ス
イッチと、
前記複数の単位スイッチの出力側にそれぞれ接続され、
トランスファークートとして機能する複数のスルーFET
よりなる複数のスルーFET群と、
前記複数のスルーFET群のうちの1つのスルーFET
群を構成する各スルーFETの出力側に共通に接続され
た1つの第1出力側スイッチと、
前記複数のスルーFET群のうちの他の1つのスルーFET
群を構成する各スルーFETの出力側に共通に接続
された他の1つの第1出力側スイッチと、
前記2つの第1出力側スイッチの出力側に共通に接続さ
れた第2出力側スイッチとを備え、
前記第2出力側スイッチの出力側に前記出力端子が接続
されていることを特徴とする多入力1出力スイッチ。

【請求項13】 前記単位スイッチは、トランスファーク
ートとして機能するスルーFETと該スルーFETと

3

直列に接続されたソース接地又はドレイン接地のシャントFETとからなるSPSTスイッチであることを特徴とする請求項10～12のいずれか1項に記載の多入力1出力スイッチ。

【請求項14】 前記出力側スイッチは、トランスファークラークとして機能するスルーFETであることを特徴とする請求項11に記載の多入力1出力スイッチ。

【請求項15】 前記出力側スイッチは、トランスファークラークとして機能するスルーFETと該スルーFETと直列に接続されたソース接地又はドレイン接地のシャントFETとからなるSPSTスイッチであることを特徴とする請求項11に記載の多入力1出力スイッチ。

【請求項16】 前記第1出力側スイッチは、トランスファークラークとして機能するスルーFETであることを特徴とする請求項12に記載の多入力1出力スイッチ。

【請求項17】 前記第2出力側スイッチは、トランスファークラークとして機能するスルーFETであることを特徴とする請求項12に記載の多入力1出力スイッチ。

【請求項18】 信号が入力される3つ以上の入力端子と、

信号が出力される1つの出力端子と、
トランスファークラークとして機能するスルーFETと該スルーFETと直列に接続されたソース接地又はドレイン接地のシャントFETとからなり、入力側が前記3つ以上の入力端子にそれぞれ接続され且つ出力側が前記出力端子に共通に接続された3つ以上のSPSTスイッチとを備えた多入力1出力スイッチにおいて、
前記スルーFETのゲート幅は前記シャントFETのゲート幅よりも小さいことを特徴とする多入力1出力スイッチ。

【請求項19】 前記スルーFETのゲート幅は400～800 μ mであることを特徴とする請求項18に記載の多入力1出力スイッチ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はFETが並列に接続された1入力多出力スイッチ及び多入力1出力スイッチに関するものである。

【0002】

【従来の技術】 近年、携帯電話等の普及に伴い、GaAs MESFETを用いた1入力多出力スイッチの需要が拡大している。この1入力多出力スイッチは低消費電力及び低損失が特徴であり、特に1入力2出力スイッチすなわちSPDT (Single Pole Double Throw) スwitchは携帯機器用のアンテナスイッチとして多用されている。

【0003】 今後は、一層の多出力化が予想され、1入力n出力スイッチ (n=3, 4, ……) (以下、SPnTスイッチと称する) の需要が増大すると考えられる。

4

【0004】 SPnTスイッチについて説明する前に、このスイッチの基本となるSPST (Single Pole Single Throw) スwitchについて説明する。

【0005】 図19 (a) はSPSTスイッチ70の回路図を示しており、図19 (a) において、71は信号が入力される入力端子、72は信号が出力される出力端子であって、入力端子71と出力端子72との間にはスルーFET 73及びシャントFET 74が接続されている。スルーFET 73はトランスファークラークであり、シャントFET 74は入力端子71と出力端子72との間のアイソレーション向上のために設けられている。また、ゲートへのリーク電流を阻止のために、数k Ω の第1のバイアス抵抗75がスルーFET 73のゲートに直列に接続され、数k Ω の第2のバイアス抵抗76がシャントFET 74のゲートに直列に接続されている。第1のコントロール電圧端子77はスルーFET 73をON・OFFするためにバイアス電圧を印加する端子であり、第2のコントロール電圧端子78はシャントFET 74をON・OFFするためにバイアス電圧を印加する端子である。

【0006】 今、FETがデプレッション型であり、しきい値が V_{th} であるとする。FETのゲート・ソース間に印加する電圧： V_{gs} が0Vの場合にはFETはON状態となり、 V_{gs} が V_{th} 以下の場合にはFETはOFF状態となる。従って、第1のコントロール電圧端子77に電圧： $V_{c1}=0V$ が印加され、第2のコントロール電圧端子78に電圧： $V_{c2}\leq V_{th}$ が印加される場合、スルーFET 73はON状態、シャントFET 74はOFF状態となり、図19 (b) に示すようにSPSTスイッチ70はONとなる。逆に、 $V_{c1}\leq V_{th}$ 、 $V_{c2}=0V$ とした場合、スルーFET 73はOFF状態、シャントFET 74はON状態となり、図19 (c) に示すようにSPSTスイッチ70はOFFとなる。シャントFET 74は、SPSTスイッチ70がOFFのときには、出力端子72をGNDに接続して、入力端子71と出力端子72との間のアイソレーションを向上させる。

【0007】 図20 (a) ～ (c) は単体のFET 81がON状態又はOFF状態のときの近似的な高周波等価回路を示している。図20 (a) ～ (c) において、82はドレイン、83がソース、84はゲートである。FET 81の V_{gs} が0V、即ちFET 81がON状態のときには、図20 (b) に示すようにFET 81は近似的に抵抗と考えることができる。ゲート幅 $W_g=1200\mu m$ のFETを想定した場合、該FETの抵抗 $R_{on}=3\Omega$ 程度である。また、FET 81の V_{gs} が V_{th} 以下、即ちOFF状態のときには、図20 (c) に示すようにFET 81は近似的に容量と考えることができる。ゲート幅 $W_g=1200\mu m$ のFETを想定した場合、該FETの容量 $C_{off}=0.3pF$ 程度である。従っ

て、SPSTスイッチ70がONのときの等価回路は図21(a)のように、SPSTスイッチ70がOFFのときの等価回路は図21(b)のようにそれぞれ書き換えることができる。

【0008】次に、1入力n出力スイッチ即ちSPnTスイッチについて説明する。

【0009】図22は従来のSPnTスイッチの回路図を示している。通常、SPnTスイッチを構成する場合、図19に示したSPSTスイッチ70を入力端子71にn個並列に接続する。図22において、70₁, 70₂, …, 70_nはSPSTスイッチ、71は入力端子、72₁, 72₂, …, 72_nは出力端子、80₁, 80₂, …, 80_nは負荷抵抗である。

【0010】ところで、SPnTスイッチは常にどれか1つのSPSTスイッチがONであって、入力端子71は常にどれか1つの出力端子に接続されている。図23(a)は、入力端子71と出力端子72₁との間のSPSTスイッチ70₁がON、それ以外のSPSTスイッチ70₂～70_nがOFFである場合の等価回路を示している。今、簡略化のためにFETのON抵抗R_{on}が0Ωであると仮定する。この場合、入力端子71と出力端子72₁との間には、OFF状態であるFETからなる容量n×C_{off}が並列に接続されていると考えることができる。この状態の等価回路を図23(b)に示す。

【0011】図23(b)に示す回路において、入力端子71からみたリターンロスをスミスチャートを使って求める。入力端子71と出力端子72₁との間に容量n×C_{off}が並列に接続されているため、インピーダンスの軌跡は等コンダクタンス円上を時計方向に動く。負荷抵抗80₁が50Ωであるとすると、スミスチャートの中心から等コンダクタンス円上をn×C_{off}だけ時計方向に回転したところが求めるリターンロスの値である。

【0012】次に、多入力1出力スイッチ即ちn入力1出力スイッチ（以下、nPSTスイッチと称する）の従来例について説明する。一般的に言えば、SPnTスイッチの入力側と出力側とを入れ替えると、nPSTスイッチを構成できる。

【0013】図24は従来のnPSTスイッチの回路図を示している。通常、nPSTスイッチを構成する場合、図19に示したSPSTスイッチ70を出力端子72にn個並列に接続する。尚、図24において、79₁, 79₂, …, 79_nは信号発生回路、71₁, 71₂, …, 71_nは入力端子、80は負荷抵抗である。ON状態のSPSTスイッチに接続された信号発生回路で発生した信号は、入力端子からSPSTスイッチを通して出力端子72に出力される。

【0014】以下、従来のnPSTスイッチの回路動作について説明する。

【0015】従来のnPSTスイッチにおいて、例えば、入力端子71₁と出力端子72との間をONにする

場合を考える。この場合、SPSTスイッチ70₁のみをONとし、それ以外のSPSTスイッチ70₂～70_nをOFFとする。

【0016】図25(a)は、入力端子71₁と出力端子72との間のSPSTスイッチ70₁がON、それ以外のSPSTスイッチ70₂～70_nがOFFである場合の等価回路を示しており、図25(b)は、FETのON抵抗R_{on}が0Ωであると仮定した場合の等価回路を示している。

【0017】図25(b)に示すように、入力端子71₁と出力端子72との間には、OFF状態であるFETからなる容量n×C_{off}が並列に接続されていると考えることができる。

【0018】図26は、SPSTスイッチにおけるスルーFETのゲート幅と挿入損失との関係を示しており、図26より、スルーFETのゲート幅W_gは挿入損失に影響を及ぼすことが分かる。すなわち、スルーFETのゲート幅W_gを大きくするほど挿入損失は減少する。

【0019】図27は、SPSTスイッチにおけるシャントFETのゲート幅と挿入損失及びアイソレーションとの関係を示しており、シャントFETのゲート幅W_gはアイソレーションに影響を及ぼすことが分かる。すなわち、スルーFETのゲート幅W_gを大きくするほどアイソレーションが向上する。

【0020】これらの結果より、スルーFET及びシャントFETのゲート幅W_gは大きい方が好ましいと言えるが、ともにゲート幅W_g=1200μmで飽和傾向にある。従って、SPSTスイッチにおいては、スルーFETのゲート幅W_g=1200μm程度、シャントFETのゲート幅W_g=1200μm程度とするのが通常である。

【0021】また、SPSTスイッチが複数個並列に接続されている1入力多出力スイッチ及び多入力1出力スイッチにおいても、スルーFET及びシャントFETの各ゲート幅W_g=1200μm程度とするのが通常である。

【0022】

【発明が解決しようとする課題】図28は、前記のSPnTスイッチにおいて、C_{off}=0.3pF、f=1.9GHz、n=1～10とした場合の入力端子71からみたリターンロスの値を示している。nが大きくなればなるほど入力端子71から見たリターンロスは劣化する。n≤3ではリターンロスの値として-10dB以下を確保できるが、n≥4ではリターンロスの値は-10dB以上になることが分かる。また、nが大きいくほど50Ωからのずれが大きくなるため挿入損失も増大する。

【0023】尚、SPnTスイッチにおける出力端子72からみたリターンロスの値も、入力端子71からみたリターンロスの値とほぼ同一の値となる。以上のことは、入力端子71がいずれの出力端子に接続されている

7

場合でも同様であり、また、 n P S Tスイッチにおいても同様である。

【0024】以上説明したように、 n 個のS P S Tスイッチ70が並列に接続されてなる従来のS P n Tスイッチ又は n P S Tスイッチにおいては、入力端子と出力端子との間に並列に接続されるO F F状態のF E Tからなる容量 $n \times C_{off}$ のために、入出力リターンロスが劣化すると共に挿入損失が増大するという問題を有している。

【0025】また、従来の n P S Tスイッチにおいては、図25(a)から理解できるように、O F Fである入力端子71₂～71_nがショート状態となる。このため、信号発生回路79₂～79_nの出力がショート状態になり、D Cを含む信号を伝送する場合に不都合が生じるという問題を有している。

【0026】前記に鑑み、本発明は、入出力リターンロス及び挿入損失が改善された1入力多出力スイッチ又は多入力1出力スイッチ、及び信号発生回路の出力がショートしないような多入力1出力スイッチを提供することを目的とする。

【0027】

【課題を解決するための手段】請求項1の発明が講じた解決手段は、1入力多出力スイッチを、信号が入力される1つの入力端子と、信号が出力される複数の出力端子と、入力側を共通にして並列に接続された複数の単位スイッチよりなる単位スイッチ群と、前記単位スイッチ群を構成する各単位スイッチの入力側に共通に接続された1つの入力側スイッチとを備え、前記単位スイッチ群を構成する各単位スイッチの出力側に前記出力端子が共通に接続され、前記入力側スイッチの入力側に前記入力端子が接続されている構成とするものである。

【0028】請求項2の発明が講じた解決手段は、1入力多出力スイッチを、信号が入力される1つの入力端子と、信号が出力される複数の出力端子と、入力側を共通にして並列に接続された複数の単位スイッチよりなる複数の単位スイッチ群と、前記複数の単位スイッチ群のうちの1つの単位スイッチ群を構成する各単位スイッチの入力側に共通に接続された1つの第1入力側スイッチと、前記複数の単位スイッチ群のうちの他の1つの単位スイッチ群を構成する各単位スイッチの入力側に共通に接続された他の1つの第1入力側スイッチと、前記2つの第1入力側スイッチの入力側に共通に接続された1つの第2入力側スイッチとを備え、前記複数の単位スイッチ群を構成する各単位スイッチの出力側に前記出力端子がそれぞれ接続され、前記第2入力側スイッチの入力側に前記入力端子が接続されている構成とするものである。

【0029】請求項3の発明は、請求項1又は2の構成に、前記単位スイッチは、トランスファークロークとして機能するスルーF E Tと該スルーF E Tと直列に接続さ

8

れたソース接地又はドレイン接地のシャントF E TとからなるS P S Tスイッチであるという構成を付加するものである。

【0030】請求項4の発明は、請求項1の構成に、前記入力側スイッチは、トランスファークロークとして機能するスルーF E Tであるという構成を付加するものである。請求項5の発明は、請求項1の構成に、前記入力側スイッチは、トランスファークロークとして機能するスルーF E Tと該スルーF E Tと直列に接続されたソース接地又はドレイン接地のシャントF E TとからなるS P S Tスイッチであるという構成を付加するものである。

【0031】請求項6の発明は、請求項2の構成に、前記第1入力側スイッチは、トランスファークロークとして機能するスルーF E Tであるという構成を付加するものである。

【0032】請求項7の発明は、請求項2の構成に、前記第2入力側スイッチは、トランスファークロークとして機能するスルーF E Tであるという構成を付加するものである。

【0033】請求項8の発明が講じた解決手段は、信号が入力される1つの入力端子と、信号が出力される3つ以上の出力端子と、トランスファークロークとして機能するスルーF E Tと該スルーF E Tと直列に接続されたソース接地又はドレイン接地のシャントF E Tとからなり、入力側が前記入力端子に共通に接続され且つ出力側が前記3つ以上の出力端子にそれぞれ接続された3つ以上のS P S Tスイッチとを備えた1入力多出力スイッチを前提とし、前記スルーF E Tのゲート幅は前記シャントF E Tのゲート幅よりも小さいという構成とするものである。

【0034】請求項9の発明は、請求項8の構成に、前記スルーF E Tのゲート幅は400～800 μ mであるという構成を付加するものである。

【0035】請求項10の発明が講じた解決手段は、多出力1入力スイッチを、信号が入力される複数の入力端子と、信号が出力される1つの出力端子と、前記複数の入力端子にそれぞれ接続された複数の単位スイッチと、前記複数の単位スイッチの出力側にそれぞれ接続されトランスファークロークとして機能する複数のスルーF E Tとを備え、前記複数のスルーF E Tの各出力側に前記出力端子が共通に接続されている構成とするものである。

【0036】請求項11の発明が講じた解決手段は、多出力1入力スイッチを、信号が入力される複数の入力端子と、信号が出力される1つの出力端子と、前記複数の入力端子にそれぞれ接続された複数の単位スイッチと、前記複数の単位スイッチの出力側にそれぞれ接続され、トランスファークロークとして機能する複数のスルーF E TよりなるスルーF E T群と、前記スルーF E T群を構成する各スルーF E Tの出力側に共通に接続された1つの出力側スイッチとを備え、前記出力側スイッチの出力

側に前記出力端子が接続されている構成とするものである。

【0037】請求項12の発明が講じた解決手段は、多出力1入力スイッチを、信号が入力される複数の入力端子と、信号が出力される1つの出力端子と、前記複数の入力端子にそれぞれ接続された複数の単位スイッチと、前記複数の単位スイッチの出力側にそれぞれ接続されトランスファークロップとして機能する複数のスルーFETよりなる複数のスルーFET群と、前記複数のスルーFET群のうちの1つのスルーFET群を構成する各スルーFETの出力側に共通に接続された1つの第1出力側スイッチと、前記複数のスルーFET群のうちの他の1つのスルーFET群を構成する各スルーFETの出力側に共通に接続された他の1つの第1出力側スイッチと、前記2つの第1出力側スイッチの出力側に共通に接続された第2出力側スイッチとを備え、前記第2出力側スイッチの出力側に前記出力端子が接続されている構成とするものである。

【0038】請求項13の発明は、請求項10～12の構成に、前記単位スイッチは、トランスファークロップとして機能するスルーFETと該スルーFETと直列に接続されたソース接地又はドレイン接地のシャントFETとからなるSPSTスイッチであるという構成を付加するものである。

【0039】請求項14の発明は、請求項11の構成に、前記出力側スイッチは、トランスファークロップとして機能するスルーFETであるという構成を付加するものである。

【0040】請求項15の発明は、請求項11の構成に、前記出力側スイッチは、トランスファークロップとして機能するスルーFETと該スルーFETと直列に接続されたソース接地又はドレイン接地のシャントFETとからなるSPSTスイッチであるという構成を付加するものである。

【0041】請求項16の発明は、請求項12の構成に、前記第1出力側スイッチは、トランスファークロップとして機能するスルーFETであるという構成を付加するものである。

【0042】請求項17の発明は、請求項12の構成に、前記第2出力側スイッチは、トランスファークロップとして機能するスルーFETであるという構成を付加するものである。

【0043】請求項18の発明が講じた解決手段は、信号が入力される3つ以上の入力端子と、信号が出力される1つの出力端子と、トランスファークロップとして機能するスルーFETと該スルーFETと直列に接続されたソース接地又はドレイン接地のシャントFETとからなり、入力側が前記3つ以上の入力端子にそれぞれ接続され且つ出力側が前記出力端子に共通に接続された3つ以上のSPSTスイッチとを備えた1入力多出力スイッチ

を前提とし、前記スルーFETのゲート幅は前記シャントFETのゲート幅よりも小さいという構成とするものである。

【0044】請求項19の発明は、請求項18の構成に、前記スルーFETのゲート幅は400～800 μ mであるという構成を付加するものである。

【0045】

【作用】請求項1の構成により、単位スイッチ群を構成する各単位スイッチの入力側に1つの入力側スイッチが共通に接続されているため、入力端子と出力端子との間のFETの合成容量値は $n \times C_{off}$ よりも低減する。

【0046】請求項2の構成により、2つの第1入力側スイッチの入力側に1つの第2の入力側スイッチが共通に接続されているため、入力端子と出力端子との間のFETの合成容量値は $n \times C_{off}$ よりも一層大きく低減する。

【0047】請求項8の構成により、スルーFETのゲート幅がシャントFETのゲート幅よりも小さいため、スルーFETのゲート幅が小さいことにより、SPSTスイッチがOFF状態であるときのスルーFETの容量 C_{off} を低減することができ、また、シャントFETのゲート幅が大きいことによりアイソレーションが向上するので、1入力多出力スイッチの入出力リターンロス及び挿入損失を改善することができる。

【0048】請求項9の構成により、スルーFETのゲート幅が400 μ m～800 μ mの場合、スルーFETのオン抵抗の増大よりOFF状態であるFETの容量 C_{off} の効果が大きいため、入出力リターンロス及び挿入損失が改善される。

【0049】請求項10の構成により、各単位スイッチの出力側にスルーFETがそれぞれ接続されているため、OFFとなる各入力端子に単位スイッチを介して接続された各スルーFETをOFFにすることにより、OFFとなる各入力端子と出力端子との間を遮断することができるので、OFFとなる各入力端子のショートを防ぐことができる。

【0050】請求項11の構成により、スルーFET群を構成する各スルーFETの出力側に1つの出力側スイッチが共通に接続されているため、入力端子と出力端子との間のFETの合成容量値は $n \times C_{off}$ よりも低減する。

【0051】請求項12の構成により、2つの第1出力側スイッチの出力側に1つの第2の出力側スイッチが共通に接続されているため、入力端子と出力端子との間のFETの合成容量値は $n \times C_{off}$ よりも一層大きく低減する。

【0052】請求項18の構成により、スルーFETのゲート幅がシャントFETのゲート幅よりも小さいため、スルーFETのゲート幅が小さいことにより、SPSTスイッチがOFF状態であるときのスルーFETの

11

容量 C_{off} を低減することができ、また、シャントFETのゲート幅が大きいことによりアイソレーションが向上するので、多入力1出力スイッチの入出力リターンロス及び挿入損失を改善することができる。

【0053】請求項19の構成により、スルーFETのゲート幅が $400\mu\text{m}\sim 800\mu\text{m}$ の場合、スルーFETのオン抵抗の増大よりもOFF状態であるFETの容量 C_{off} の効果が大きいため、入出力リターンロス及び挿入損失が改善される。

【0054】

【実施例】以下、本発明の第1実施例に係るSP4Tスイッチ（4個のSPSTスイッチが入力端子に並列に接続されたスイッチ）について図1及び図2（a）、（b）を参照しながら説明する。

【0055】図1は、第1実施例に係るSP4Tスイッチの回路図を示しており、図1において、 10_1 、 10_2 、 10_3 、 10_4 はSPSTスイッチ、 11 は入力端子、 12_1 、 12_2 、 12_3 、 12_4 は出力端子、 13_1 はSPSTスイッチ 10_1 及び 10_2 の入力側に共通に接続されたスルーFET、 13_2 はSPSTスイッチ 10_3 及び 10_4 の入力側に共通に接続されたスルーFET、 14_1 はゲートへのリーク電流を阻止のためスルーFET 13_1 のゲートに接続されたバイアス抵抗、 14_2 はゲートへのリーク電流を阻止のためスルーFET 13_2 のゲートに接続されたバイアス抵抗、 15_1 はスルーFET 13_1 をON・OFFするためのバイアス電圧を印加するコントロール電圧端子、 15_2 はスルーFET 13_2 をON・OFFするためのバイアス電圧を印加するコントロール電圧端子である。

【0056】以下、第1実施例に係るSP4Tスイッチの回路動作について説明する。

*

	入力端子側リターンロス (dB)	挿入損失 (dB)
従来例	-8.8	1.0
第1実施例	-12.9	0.9

【0063】（表1）に示すように、従来例では-8.8dBであったリターンロスが-12.9dBに、1.0dBであった挿入損失が0.9dBにそれぞれ向上している。

【0064】第1実施例はSP4Tスイッチであったが、SPnTスイッチにおいてnが大きいほど入出力リターンロス及び挿入損失の改善効果は高くなる。

【0065】以下、本発明の第2実施例に係るSP8Tスイッチについて図3及び図4（a）、（b）を参照しながら説明する。

【0066】図3は、第2実施例に係るSP8Tスイッチの回路図を示しており、図3において、 20_1 、 20_2 、……、 20_8 はSPSTスイッチ、 21 は入力端子、 22_1 、 22_2 、……、 22_8 は出力端子、 23_1

12

*【0057】例えば、入力端子 11 と出力端子 12_1 との間をONにする場合を考える。この場合、SPSTスイッチ 13_1 がONとなるようコントロール電圧端子 15_1 に0Vを印加し、スルーFET 13_2 がOFFになるようにコントロール電圧端子 15_2 に V_{th} 以下の電圧を印加する。また、SPSTスイッチ 10_1 のみをONとし、それ以外のSPSTスイッチ $10_2\sim 10_4$ をOFFとする。

【0058】図2（a）は、第1実施例に係るSP4Tスイッチにおいて入力端子 11 と出力端子 12_1 との間がONである場合の等価回路を示しており、図2（b）は、FETのON抵抗 R_{on} が 0Ω であると仮定した場合の等価回路を示している。

【0059】図2（b）に示すように、入力端子 11 と出力端子 12_1 との間に接続されるOFF状態のFETからなる容量は $2.67\times C_{off}$ である。従来のSP4Tスイッチにおいては、入力端子と出力端子との間のFETからなる容量は $n\times C_{off}$ 、即ち $4\times C_{off}$ であるので、第1実施例においては、FETの容量が約67%に低減していることが分かる。

【0060】尚、前記のことは、入力端子 11 がいずれの出力端子に接続されている場合でも同様である。

【0061】（表1）は従来のSP4Tスイッチと第1実施例のSP4Tスイッチとのシミュレーション結果の比較を示している。シミュレーションに用いたFETは $V_{th}=-2.5\text{V}$ であり、スルーFET及びシャントFETの W_g は共に $1200\mu\text{m}$ 、コントロール電圧は $0\sim 4.5\text{V}$ とした。

【0062】

【表1】

はSPSTスイッチ $20_1\sim 20_4$ の入力側に共通に接続されたスルーFET、 23_2 はSPSTスイッチ $20_5\sim 20_8$ の入力側に共通に接続されたスルーFET、 24_1 はスルーFET 23_1 のゲートに接続されたバイアス抵抗、 24_2 はスルーFET 23_2 のゲートに接続されたバイアス抵抗、 25_1 はスルーFET 23_1 をON・OFFするためのバイアス電圧を印加するコントロール電圧端子、 25_2 はスルーFET 23_2 をON・OFFするためのバイアス電圧を印加するコントロール電圧端子である。第2実施例に係るSP8Tスイッチの回路動作は第1実施例と同様であるので説明は省略する。

【0067】図4（a）は、第2実施例に係るSP8Tスイッチにおいて、入力端子 21 と出力端子 22_1 との間がONである場合の等価回路を示し、図4（b）は、

FETのON抵抗 R_{on} が 0Ω であると仮定した場合の等価回路を示している。

【0068】図4(b)に示すように、入力端子21と出力端子22との間に接続されるOFF状態のFETからなる容量は $4.8 \times C_{off}$ である。従来のSP8Tスイッチにおいては入力端子と出力端子との間の容量は $n \times C_{off}$ 、即ち $8 \times C_{off}$ であるので、第2実施例においては、FETの容量が約60%に低減していることが分かる。

*

	入力端子側リターンロス (dB)	挿入損失 (dB)
従来例	-4.1	2.6
第2実施例	-8.1	1.5

【0072】(表2)に示すように、従来例では-4.1dBであったリターンロスが-8.1dBに、2.6dBであった挿入損失が1.5dBにそれぞれ向上している。

【0073】以下、本発明の第3実施例に係るSP8Tスイッチについて図5及び図6(a)、(b)を参照しながら説明する。

【0074】図5は、第3実施例に係るSP8Tスイッチの回路図を示しており、図5において、30₁、30₂、……、30₈はSPSTスイッチ、31は入力端子、32₁、32₂、……、32₈は出力端子、36₁はSPSTスイッチ30₁～30₄の入力側に共通に接続されたSPSTスイッチ、36₂はSPSTスイッチ30₅～30₈の入力側に共通に接続されたSPSTスイッチである。

【0075】以下、第3実施例に係るSP8Tスイッチの回路動作について説明する。

【0076】例えば、入力端子31と出力端子32₁との間をONにする場合を考える。この場合、SPSTスイッチ30₁とSPSTスイッチ36₁のみをONとし、それ以外のSPSTスイッチ30₂～30₈及び3※

	入力端子側リターンロス (dB)	挿入損失 (dB)
従来例	-4.1	2.6
第3実施例	-6.5	2.0

【0081】(表3)に示すように、従来例では-4.1dBであったリターンロスが-6.5dBに、2.6dBであった挿入損失が2.0dBにそれぞれ向上している。このことから、SP8Tスイッチにおいて、入力端子に接続されるスルーFETをSPSTスイッチに変更しても同様の改善効果が得られることが分かる。

【0082】以下、本発明の第4実施例に係るSP8Tスイッチについて図7及び図8(a)、(b)を参照しながら説明する。

【0083】図7は、第4実施例に係るSP8Tスイッ

*【0069】尚、前記のことは、入力端子21がいずれの出力端子22に接続されている場合でも同様である。

【0070】(表2)は従来のSP8Tスイッチと第2実施例のSP8Tスイッチとのシミュレーション結果の比較を示している。シミュレーションに用いたFETは第1実施例と同様である。

【0071】

【表2】

※6₂をOFFとする。

【0077】図6(a)は第3実施例に係るSP8Tスイッチにおいて入力端子31と出力端子32₁との間がONである場合の等価回路を示し、図6(b)は、FETのON抵抗 R_{on} が 0Ω であると仮定した場合の等価回路を示している。

【0078】図6(c)に示すように、入力端子31と出力端子32₁との間に接続されるOFF状態のFETからなる容量は $6 \times C_{off}$ である。従来のSP8Tスイッチにおいては、入力端子と出力端子との間のFETの容量は $n \times C_{off}$ 、即ち $8 \times C_{off}$ であるので、第3実施例においては、FETの容量が約75%に低減していることが分かる。

【0079】尚、前記のことは、入力端子31がいずれの出力端子に接続されている場合でも同様である。

【0080】(表3)は従来のSP8Tスイッチと第3実施例のSP8Tスイッチとのシミュレーション結果の比較を示す。シミュレーションに用いたFETは第1実施例の場合と同様である

【表3】

チの回路図を示しており、図7において、40₁、40₂、……、40₈はSPSTスイッチ、41は入力端子、42₁、42₂、……、42₈は出力端子、43₁はSPSTスイッチ40₁、40₂の入力側に共通に接続されたスルーFET、43₂はSPSTスイッチ40₃、40₄の入力側に共通に接続されたスルーFET、43₃はSPSTスイッチ40₅、40₆の入力側に共通に接続されたスルーFET、43₄はSPSTスイッチ40₇、40₈の入力側に共通に接続されたスルーFET、44₁はスルーFET43₁のゲートに接続され

たバイアス抵抗、44₂はスルーFET43₂のゲートに接続されたバイアス抵抗、44₃はスルーFET43₃のゲートに接続されたバイアス抵抗、44₄はスルーFET43₄のゲートに接続されたバイアス抵抗、45₁はスルーFET43₁をON・OFFするためのバイアス電圧を印加するコントロール電圧端子、45₂はスルーFET43₂をON・OFFするためのバイアス電圧を印加するコントロール電圧端子、45₃はスルーFET43₃をON・OFFするためのバイアス電圧を印加するコントロール電圧端子、45₄はスルーFET43₄をON・OFFするためのバイアス電圧を印加するコントロール電圧端子、47₁はスルーFET43₁及び43₂の入力側に共通に接続されたスルーFET、47₂はスルーFET43₃及び43₄の入力側に共通に接続されたスルーFET、48₁はスルーFET47₁のゲートに接続されたバイアス抵抗、48₂はスルーFET47₂のゲートに接続されたバイアス抵抗、49₁はスルーFET47₁をON・OFFするためのバイアス電圧を印加するコントロール電圧端子、49₂はスルーFET47₂をON・OFFするためのバイアス電圧を印加するコントロール電圧端子である。

【0084】以下、第4実施例に係るSPSTスイッチの回路動作について説明する。

【0085】例えば、入力端子41と出力端子42₁との間をONにする場合を考える。この場合、スルーFET43₁及び47₁がONになるようにコントロール電*

*圧端子45₁及び49₁に0Vを印加し、その他のスルーFET43₂～43₄及び47₂がOFFになるようにコントロール電圧端子45₂～45₄及び49₂にV_{th}以下の電圧を印加する。また、SPSTスイッチ40₁のみをONとし、それ以外のSPSTスイッチ40₂～40₈をOFFとする。

【0086】図8(a)は、第4実施例に係るSPSTスイッチにおいて入力端子41と出力端子42₁との間がONである場合の等価回路を示し、図8(b)はFETのON抵抗R_{on}が0Ωであると仮定した場合の等価回路を示している。

【0087】図8(b)に示すように、入力端子41と出力端子42₁との間に接続されるOFF状態のFETからなる容量は、 $3.47 \times C_{off}$ である。従来のSPSTスイッチにおいては入力端子と出力端子との間の容量は $n \times C_{off}$ 、即ち $8 \times C_{off}$ であるので、第4実施例においては、FETの容量が約43%に低減していることが分かる。

【0088】尚、前記のことは、入力端子41がいずれの出力端子に接続されている場合でも同様である。

【0089】(表4)は従来のSPSTスイッチと第4実施例のSPSTスイッチとのシミュレーション結果の比較を示している。シミュレーションに用いたFETは第1実施例の場合と同様である

【表4】

	入力端子側リターンロス (dB)	挿入損失 (dB)
従来例	-4.1	2.6
第4実施例	-11.9	1.4

【0090】(表4)に示すように、従来例では-4.1dBであったリターンロスが-11.9dBに、2.6dBであった挿入損失が1.4dBにそれぞれ向上している。このことから、SPSTスイッチにおいては、第4実施例のような回路構成により、入力端子と出力端子との間に接続されるOFF状態のFETの容量を最小にできることが分かる。

【0091】前記第1～第4実施例においては、1入力多出力スイッチについて説明したが、以下の各実施例はSPSTスイッチが並列に接続された多入力1出力スイッチ（以下、nPSTスイッチと称する。）である。

【0092】SPnTスイッチの入力と出力とを入れ替えることにより、nPSTスイッチを構成できるが、単に入れ替えただけでは、OFF状態であるSPSTスイッチのシャントFETが、OFF状態の入力端子をショートさせてしまう。そこで、本発明におけるnPSTスイッチにおいては、以下のような回路構成をとる。

【0093】以下、本発明の第5実施例に係る4PSTスイッチについて図9及び図10(a)、(b)を参照

しながら説明する。

【0094】図9は第5実施例に係る4PSTスイッチの回路図を示しており、図9において、50₁、50₂、50₃、50₄はSPSTスイッチ、51₁、51₂、51₃、51₄は入力端子、52は出力端子、53₁はSPSTスイッチ50₁の出力側に接続されたスルーFET、53₂はSPSTスイッチ50₂の出力側に接続されたスルーFET、53₃はSPSTスイッチ50₃の出力側に接続されたスルーFET、53₄はSPSTスイッチ50₄の出力側に接続されたスルーFET、54₁はスルーFET53₁のゲートに接続されたバイアス抵抗、54₂はスルーFET53₂のゲートに接続されたバイアス抵抗、54₃はスルーFET53₃のゲートに接続されたバイアス抵抗、54₄はスルーFET53₄のゲートに接続されたバイアス抵抗、55₁はスルーFET53₁をON・OFFするためのバイアス電圧を印加するコントロール電圧端子、55₂はスルーFET53₂をON・OFFするためのバイアス電圧を印加するコントロール電圧端子、55₃はスルーFET

17

T53₃ をON・OFFするためのバイアス電圧を印加するコントロール電圧端子、55₄ はスルーFET53₄ をON・OFFするためのバイアス電圧を印加するコントロール電圧端子である。

【0095】以下、第5実施例に係る4PSTスイッチの回路動作について説明する。

【0096】例えば、入力端子51₁ と出力端子52との間をONにする場合を考える。この場合、スルーFET53₁ がONになるようにコントロール電圧端子55₁ に0Vを印加し、その他のスルーFET53₂ ~53₄ がOFFになるようにコントロール電圧端子55₂ ~55₄ にV_{th}以下の電圧を印加する。また、SPSTスイッチ50₁ のみをONにし、それ以外のSPSTスイッチ50₂ ~50₄ をOFFとする。

【0097】ここで、スルーFET53₁ ~53₄ の役割について説明する。

【0098】図10(a)は、第5実施例に係る4PSTスイッチにおいて入力端子51₁ と出力端子52との間がONである場合の等価回路である。図10(a)に示すように、OFFである入力端子51₂ ~51₄ はオープンとなっており、前述の不都合が解消されていることが分かる。即ち、スルーFET53₁ ~53₄ は、OFFである入力端子がショートとなるのを防ぐ役割を果たしている。

【0099】図10(b)は、FETのON抵抗R_{on}が0Ωであると仮定した場合の等価回路を示している。この場合、入力端子51₁ と出力端子52の間には、SP4Tスイッチと同様、容量4×C_{off} が並列に接続されていると考えることができる。また、一般的にnPSSTスイッチの場合、入力端子と出力端子との間に並列に接続される容量はn×C_{off} であることが分かる。

【0100】尚、前記のことは、いずれの入力端子が出力端子52に接続されている場合でも同様である。

【0101】以下、本発明の第6実施例に係る4PSTスイッチについて図11及び図12(a)、(b)を参照しながら説明する。

【0102】図11は第6実施例に係る4PSTスイッチの回路図を示しており、図11において、60₁、60₂、60₃、60₄ はSPSTスイッチ、61₁、61₂、61₃、61₄ は入力端子、62は出力端子、63₁ はSPSTスイッチ60₁ の出力側に接続されたスルーFET、63₂ はSPSTスイッチ60₂ の出力側に接続されたスルーFET、63₃ はSPSTスイッチ60₃ の出力側に接続されたスルーFET、63₄ はSPSTスイッチ60₄ の出力側に接続されたスルーFET、64₁ はスルーFET63₁ のゲートに接続されたバイアス抵抗、64₂ はスルーFET63₂ のゲートに接続されたバイアス抵抗、64₃ はスルーFET63₃ のゲートに接続されたバイアス抵抗、64₄ はスルーF

18

ET63₄ のゲートに接続されたバイアス抵抗、65₁ はスルーFET63₁ をON・OFFするためのバイアス電圧を印加するコントロール電圧端子、65₂ はスルーFET63₂ をON・OFFするためのバイアス電圧を印加するコントロール電圧端子、65₃ はスルーFET63₃ をON・OFFするためのバイアス電圧を印加するコントロール電圧端子、65₄ はスルーFET63₄ をON・OFFするためのバイアス電圧を印加するコントロール電圧端子、67₁ はスルーFET63₁ 及びスルーFET63₂ の出力側に共通に接続されたスルーFET、67₂ はスルーFET63₃ 及びスルーFET63₄ の出力側に共通に接続されたスルーFET、68₁ はスルーFET67₁ のゲートに接続されたバイアス抵抗、68₂ はスルーFET67₂ のゲートに接続されたバイアス抵抗、69₁ はスルーFET67₁ をON・OFFするためのバイアス電圧を印加するコントロール電圧端子、69₂ はスルーFET67₂ をON・OFFするためのバイアス電圧を印加するコントロール電圧端子である。

【0103】以下、第6実施例に係る4PSTスイッチの回路動作について説明する。例えば、入力端子61₁ と出力端子62との間をONにする場合を考える。この場合、スルーFET63₁ 及び67₁ がONになるようにコントロール電圧端子65₁ 及び69₁ に0Vの電圧を印加し、その他のスルーFET63₂ ~63₄ 及び67₂ がOFFになるようにコントロール電圧端子65₂ ~65₄ 及び69₂ にV_{th}以下の電圧を印加する。また、SPSTスイッチ60₁ のみをONにし、それ以外のSPSTスイッチ60₂ ~60₄ をOFFとする。

【0104】図12(a)は、第6実施例に係る4PSTスイッチにおいて入力端子61₁ と出力端子62との間がONである場合の等価回路を示し、図12(b)は、FETのON抵抗R_{on}が0Ωであると仮定した場合の等価回路を示している。この場合、入力端子61₁ と出力端子62の間には、SP4Tスイッチと同様、容量2.66×C_{off} が並列に接続されていると考えることができ、第5実施例の4×C_{off} に比べて約67%に低減している。このように、nPSSTスイッチにおいてもSPnTスイッチの場合と全く同様の効果が得られることが分かる。

【0105】尚、前記のことは、いずれの入力端子が出力端子62に接続されている場合でも同様である。

【0106】(表5)は第5実施例の4PSTスイッチと第6実施例の4PSTスイッチとのシミュレーション結果の比較を示している。シミュレーションに用いたFETは第1実施例の場合と同様である。

【0107】

【表5】

	出力端子側リターンロス (dB)	挿入損失 (dB)
第5実施例	-8.9	1.3
第6実施例	-13.1	1.2

【0108】(表5)に示すように、第5実施例では-8.9 dBであったリターンロスが第6実施例では-13.1 dBに、第5実施例では1.3 dBであった挿入損失が第6実施例では1.2 dBにそれぞれ向上している。

【0109】尚、第5及び第6実施例においては、直列に接続されたSPSTスイッチ及びスルーFETの出力側に接続された出力側スイッチはスルーFETであったが、スルーFETに代えてSPSTスイッチを用いても同様の効果が得られる。

【0110】以下、本発明の第7実施例に係るSP3Tスイッチについて図13を参照しながら説明する。

【0111】図13は、第7実施例に係るSP3Tスイッチの回路図を示しており、図13において、90₁、90₂、90₃はSPSTスイッチ、91は入力端子、92₁、92₂、92₃は出力端子、93₁、93₂、93₃は各出力端子92₁、92₂、92₃に接続された負荷抵抗である。

【0112】図14は第7実施例に係るSP3TスイッチのスルーFETのゲート幅W_gを変化させたときの入*

*カ端子側及び出力端子側のリターンロスを示し、図15は前記スルーFETのゲート幅W_gを変化させたときの挿入損失を示している。シミュレーションに用いたスルーFETのしきい値電圧V_{th}は-2.5 Vであり、コントロール電圧V_cは0/-5.0 Vである。このとき、シャントFETのゲート幅W_gは1200 μmに固定とした。

10

【0113】図14より、スルーFETのゲート幅W_gが小さくなるほどリターンロスは向上することが分かる。また、図15より、スルーFETのゲート幅W_g=800 μmのときに挿入損失は最小となり、ゲート幅W_gが800 μmよりも小さくなると、挿入損失は逆に増大することが分かる。これは、スルーFETのON抵抗が高くなるためであり、スルーFETのゲート幅W_gには最適値が存在すると言える。

【0114】(表6)は従来のSP3Tスイッチと第7実施例のSP3Tスイッチとのシミュレーション結果の比較を示している。

【0115】

【表6】

	スルーFET W _g (μm)	入力端子側リターンロス (dB)	挿入損失 (dB)
従来例	1200	-11.2	0.75
第7実施例	800	-13.5	0.70

【0116】(表6)に示すように、スルーFETのゲート幅W_g=1200 μmのときに、リターンロスが-11.2 dBであり、挿入損失が0.75 dBであったが、スルーFETのゲート幅W_g=800 μmにすることにより、リターンロスが-13.5 dBに、挿入損失が0.70 dBにそれぞれ改善されている。

【0117】以下、本発明の第8実施例に係るSP8Tスイッチについて図16を参照しながら説明する。

【0118】図16は、第8実施例に係るSP8Tスイッチの回路図を示しており、図16において、90₁、90₂、……90₈はSPSTスイッチ、91は入力端子、92₁、92₂、……92₈は出力端子、93₁、93₂、……93₈は各出力端子92₁、92₂、……92₈に接続された負荷抵抗である。

【0119】図17は第8実施例に係るSP8TスイッチのスルーFETのゲート幅W_gを変化させたときの入力端子側及び出力端子側のリターンロスを示し、図18は前記スルーFETのゲート幅W_gを変化させたときの挿入損失を示している。シミュレーションに用いたスル

40

ーFETのしきい値電圧V_{th}は-2.5 Vであり、コントロール電圧V_cは0/-5.0 Vである。このとき、シャントFETのゲート幅W_gは1200 μmに固定とした。

【0120】図17より、SP8Tスイッチにおいても、スルーFETのゲート幅W_gが小さくなるほどリターンロスは向上することが分かる。また、図18より、スルーFETのゲート幅W_g=400 μmのときに挿入損失は最小となり、ゲート幅W_gが400 μmよりも小さくなると、挿入損失は逆に増大することが分かる。これは、スルーFETのON抵抗が高くなるためであり、スルーFETのゲート幅W_gには最適値が存在すると言える。

【0121】(表7)は従来のSP8Tスイッチと第8実施例のSP8Tスイッチとのシミュレーション結果の比較を示している。

【0122】

【表7】

50

	スルーFET W _g (μm)	入力端子側リターンロス (dB)	挿入損失 (dB)
従来例	1200	-4.2	2.67
第8実施例	400	-10.2	1.33

【0123】(表7)に示すように、スルーFETのゲート幅 $W_g = 1200 \mu m$ のときに、リターンロスが-4.2 dBであり、挿入損失が2.67 dBであったが、スルーFETのゲート幅 $W_g = 400 \mu m$ にすることにより、リターンロスが-10.2 dBに、挿入損失が1.33 dBにそれぞれ大きく改善されている。

【0124】尚、第7実施例はSP3Tであり、第8実施例はSP8Tであったが、SPnTにおいてnが大きいほど入力側及び出力側のリターンロス及び挿入損失の改善効果は高くなる。

【0125】また、第7及び第8実施例は1入力多出力スイッチであったが、多入力1出力スイッチにおいても、スルーFETのゲート幅を小さくすることにより、入力側及び出力側のリターンロス及び挿入損失を改善することができる。

【0126】

【発明の効果】請求項1の発明に係る1入力多出力スイッチによると、各単位スイッチの入力側に1つの入力側スイッチが共通に接続されているため、入力端子と出力端子との間のFETの合成容量値が $n \times C_{off}$ よりも低減するので、入出力リターンロス及び挿入損失を向上させることができる。

【0127】請求項2の発明に係る1入力多出力スイッチによると、2つの第1入力側スイッチの入力側に1つの第2の入力側スイッチが共通に接続されているため、入力端子と出力端子との間のFETの合成容量値は $n \times C_{off}$ よりも一層大きく低減するので、入出力リターンロス及び挿入損失を一層大きく向上させることができる。

【0128】請求項8の発明に係る1入力多出力スイッチによると、スルーFETのゲート幅が小さいため、OFF状態であるFETの容量 C_{off} を低減できると共に、シャントFETのゲート幅が大きいいため、アイソレーションが向上するので、1入力多出力スイッチの入出力リターンロス及び挿入損失を改善することができる。尚、スルーFETの数が3以上の場合に、入出力リターンロス及び挿入損失の改善の効果が確実に発揮される。

【0129】請求項9の発明に係る1入力多出力スイッチによると、スルーFETのゲート幅が $400 \sim 800 \mu m$ の場合、スルーFETのオン抵抗の増大よりもOFF状態であるFETの容量 C_{off} の低減の効果が大きいいため、挿入損失を確実に低減することができる。

【0130】請求項10の発明に係る多入力1出力ス

witchによると、各単位スイッチの出力側にスルーFETがそれぞれ接続されているため、OFFとなる各入力端子と出力端子との間を遮断することができるので、OFFとなる各入力端子がショートとなる事態を防止できる。

【0131】請求項11の発明に係る多入力1出力スイッチによると、各スルーFETの出力側に1つの出力側スイッチが共通に接続されているため、入力端子と出力端子との間のFETの合成容量値が $n \times C_{off}$ よりも低減するので、入出力リターンロス及び挿入損失を向上させることができる。

【0132】請求項12の発明に係る多入力1出力スイッチによると、2つの第1出力側スイッチの出力側に1つの第2の出力側スイッチが共通に接続されているため、入力端子と出力端子との間のFETの合成容量値が $n \times C_{off}$ よりも一層大きく低減するので、入出力リターンロス及び挿入損失を一層大きく向上させることができる。

【0133】請求項18の発明に係る多入力1出力スイッチによると、スルーFETのゲート幅が小さいため、OFF状態であるFETの容量 C_{off} を低減できると共に、シャントFETのゲート幅が大きいいため、アイソレーションが向上するので、多入力1出力スイッチの入出力リターンロス及び挿入損失を改善することができる。尚、スルーFETの数が3以上の場合に、入出力リターンロス及び挿入損失の改善の効果が確実に発揮される。

【0134】請求項19の発明に係る多入力1出力スイッチによると、スルーFETのゲート幅が $400 \sim 800 \mu m$ の場合、スルーFETのオン抵抗の増大よりもOFF状態であるFETの容量 C_{off} の低減の効果が大きいいため、挿入損失を確実に低減することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るSP4Tスイッチの回路図である。

【図2】(a)は第1実施例に係るSP4Tスイッチにおいて入力端子と1つの出力端子との間がONである場合の等価回路であり、(b)はFETのON抵抗が 0Ω であると仮定した場合の等価回路である。

【図3】本発明の第2実施例に係るSP8Tスイッチの回路図である。

【図4】(a)は第2実施例に係るSP8Tスイッチにおいて入力端子と1つの出力端子との間がONである場合の等価回路であり、(b)はFETのON抵抗が 0Ω

であると仮定した場合の等価回路である。

【図5】本発明の第3実施例に係るSPSTスイッチの回路図である。

【図6】(a)は第3実施例に係るSPSTスイッチにおいて入力端子と1つの出力端子との間がONである場合の等価回路であり、(b)はFETのON抵抗が0Ωであると仮定した場合の等価回路である。

【図7】本発明の第4実施例に係るSPSTスイッチの回路図である。

【図8】(a)は第4実施例に係るSPSTスイッチにおいて入力端子と1つの出力端子との間がONである場合の等価回路であり、(b)はFETのON抵抗が0Ωであると仮定した場合の等価回路である。

【図9】本発明の第5実施例に係る4PSTスイッチの回路図である。

【図10】(a)は第5実施例に係る4PSTスイッチにおいて1つの入力端子と出力端子との間がONである場合の等価回路であり、(b)はFETのON抵抗が0Ωであると仮定した場合の等価回路である。

【図11】本発明の第6実施例に係る4PSTスイッチの回路図である。

【図12】(a)は第6実施例に係る4PSTスイッチにおいて1つの入力端子と出力端子との間がONである場合の等価回路であり、(b)はFETのON抵抗が0Ωであると仮定した場合の等価回路である。

【図13】本発明の第7実施例に係るSP3Tスイッチの回路図である。

【図14】第7実施例に係るSP3TスイッチのスルーFETのゲート幅Wgと入力端子側及び出力端子側のリターンロスとの関係を示す図である。

【図15】第7実施例に係るSP3TスイッチのスルーFETのゲート幅Wgと挿入損失との関係を示す図である。

【図16】本発明の第8実施例に係るSP8Tスイッチの回路図である。

【図17】第8実施例に係るSP8TスイッチのスルーFETのゲート幅Wgと入力端子側及び出力端子側のリターンロスとの関係を示す図である。

【図18】第8実施例に係るSP8TスイッチのスルーFETのゲート幅Wgと挿入損失との関係を示す図である。

【図19】(a)は従来及び本発明の各実施例に用いるSPSTスイッチの回路図であり、(b)は前記SPSTスイッチがONとなる状態を示す等価回路であり、(c)は前記SPSTスイッチがOFFとなる状態を示す等価回路である。

【図20】(a)は単体FETを示す回路図であり、(b)は前記単体FETがON状態のときの等価回路であり、(c)は前記単体FETがOFF状態のときの等価回路である。

【図21】(a)は前記SPSTスイッチがON状態のときの等価回路であり、(b)は前記SPSTがOFF状態のときの等価回路である。

【図22】従来のSPnTスイッチの回路図である。

【図23】(a)は従来のSPnTスイッチにおいて入力端子と1つの出力端子との間がONである場合の等価回路であり、(b)はFETのON抵抗が0Ωであると仮定した場合の等価回路である。

【図24】従来のnPSTスイッチの回路図である。

【図25】(a)は従来のnPSTスイッチにおいて1つの入力端子と出力端子との間がONである場合の等価回路であり、(b)はFETのON抵抗が0Ωであると仮定した場合の等価回路である。

【図26】従来のSPSTスイッチにおけるスルーFETのゲート幅と挿入損失との関係を示す図である。

【図27】従来のSPSTスイッチにおけるシャントFETのゲート幅と挿入損失及びアイソレーションとの関係を示す図である。

【図28】従来のSPnTスイッチにおける入力端子からみたりターンロスの値を示すスミスチャートである。

【符号の説明】

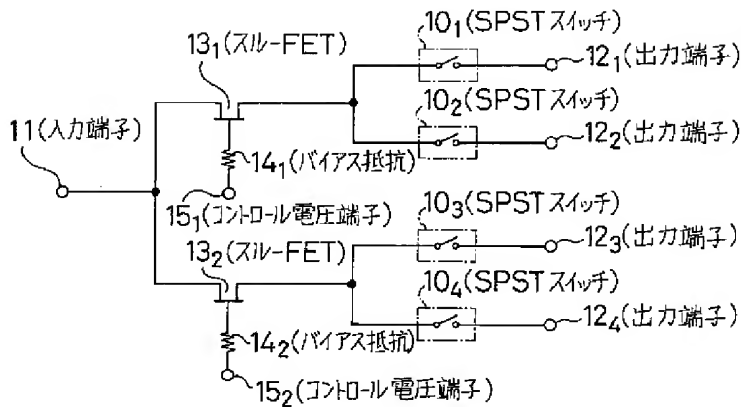
10₁, 10₂, 10₃, 10₄ SPSTスイッチ
 11 入力端子
 12₁, 12₂, 12₃, 12₄ 出力端子
 13₁, 13₂ スルーFET
 14₁, 14₂ バイアス抵抗
 15₁, 15₂ コントロール電圧端子
 20₁, 20₂, …… 20₈ SPSTスイッチ
 21 入力端子
 22₁, 22₂, …… 22₈ 出力端子
 23₁, 23₂ スルーFET
 24₁, 24₂ バイアス抵抗
 25₁, 25₂ コントロール電圧端子
 30₁, 30₂, …… 30₈ SPSTスイッチ
 31 入力端子
 32₁, 32₂, …… 32₈ 出力端子
 36₁, 36₂ SPSTスイッチ
 40₁, 40₂, …… 40₈ SPSTスイッチ
 41 入力端子
 42₁, 42₂, …… 42₈ 出力端子
 43₁, 43₂, 43₃, 43₄ スルーFET
 44₁, 44₂, 44₃, 44₄ バイアス抵抗
 45₁, 45₂, 45₃, 45₄ コントロール電圧端子
 47₁, 47₂ スルーFET
 48₁, 48₂ バイアス抵抗
 49₁, 49₂ コントロール電圧端子
 50₁, 50₂, 50₃, 50₄ SPSTスイッチ
 51₁, 51₂, 51₃, 51₄ 入力端子
 52 出力端子

25

$53_1, 53_2, 53_3, 53_4$ スルーFET
 $54_1, 54_2, 54_3, 54_4$ バイアス抵抗
 $55_1, 55_2, 55_3, 55_4$ コントロール電圧端子
 子
 $60_1, 60_2, 60_3, 60_4$ SPSTスイッチ
 $61_1, 61_2, 61_3, 61_4$ 入力端子
 62 出力端子
 $63_1, 63_2, 63_3, 63_4$ スルーFET
 $64_1, 64_2, 64_3, 64_4$ バイアス抵抗
 $65_1, 65_2, 65_3, 65_4$ コントロール電圧端子

10

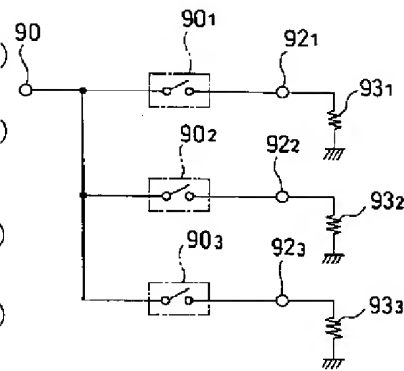
【図1】



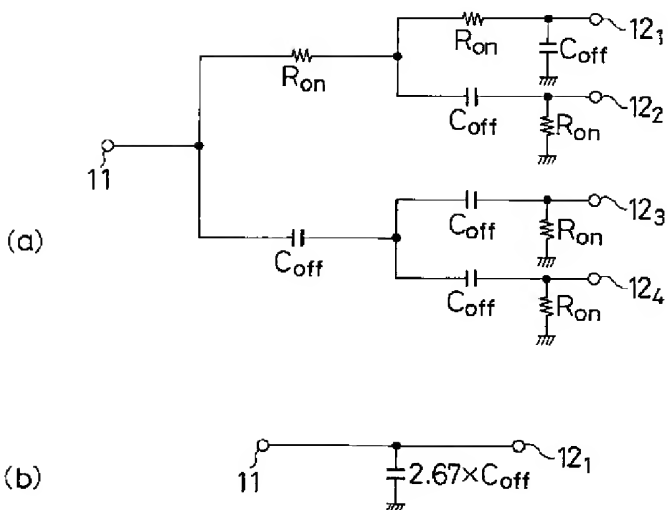
26

子
 $67_1, 67_2$ スルーFET
 $68_1, 68_2$ バイアス抵抗
 $69_1, 69_2$ コントロール電圧端子
 $90_1, 90_2, 90_3, \dots, 90_8$ SPSTスイッチ
 91 入力端子
 $92_1, 92_2, 92_3, \dots, 92_8$ 出力端子
 $93_1, 93_2, 93_3, \dots, 93_8$ 負荷抵抗

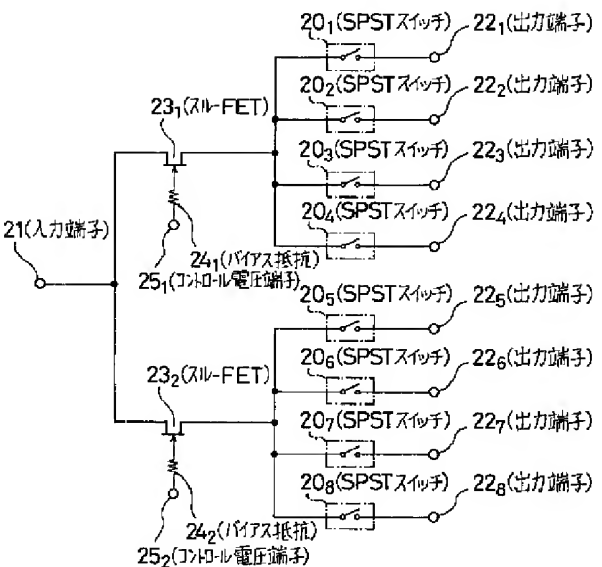
【図13】



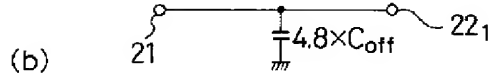
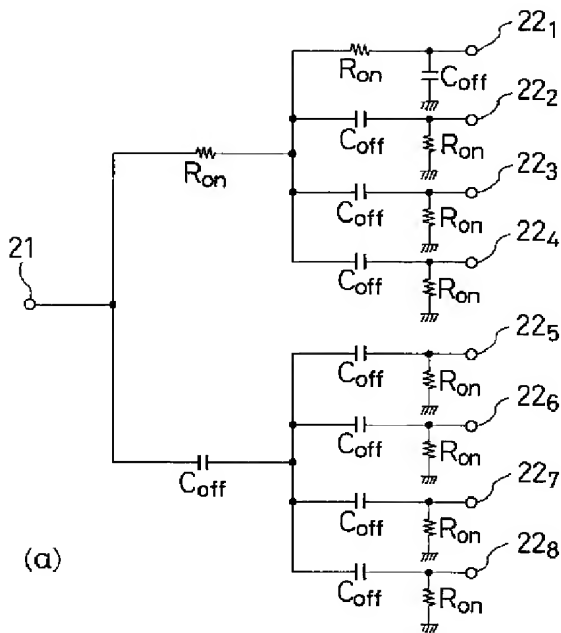
【図2】



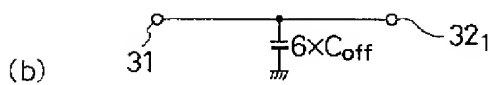
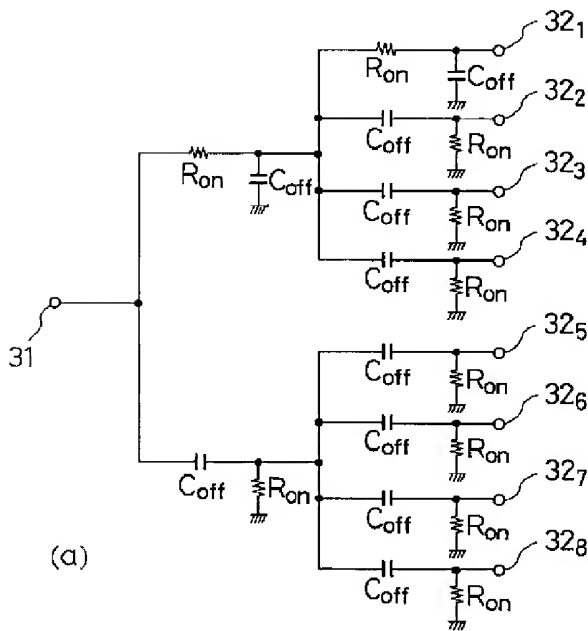
【図3】



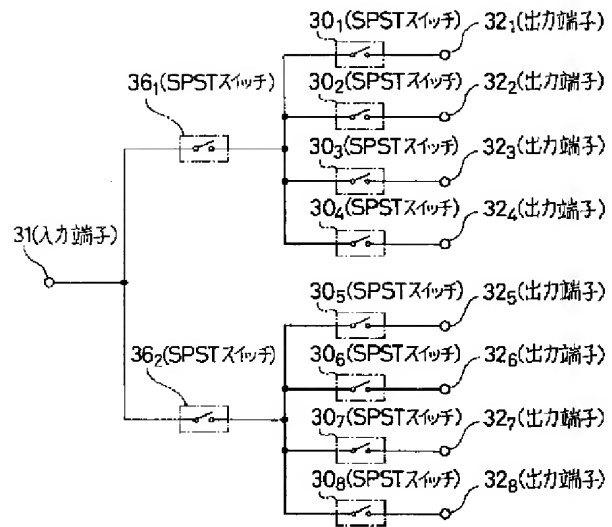
【図 4】



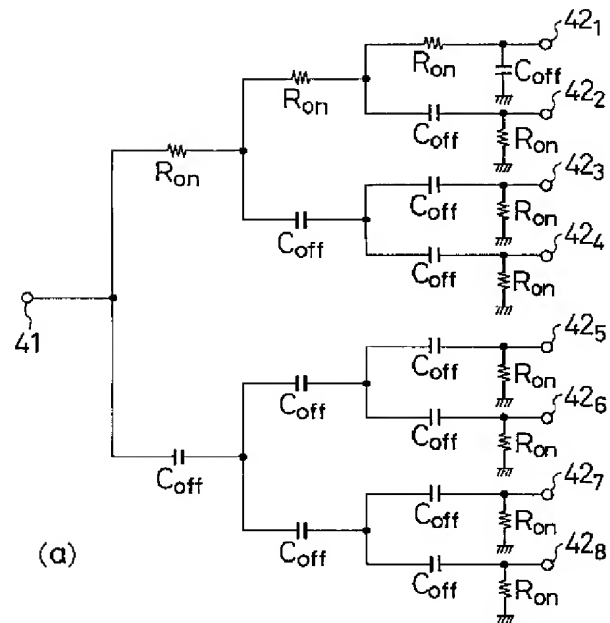
【図 6】



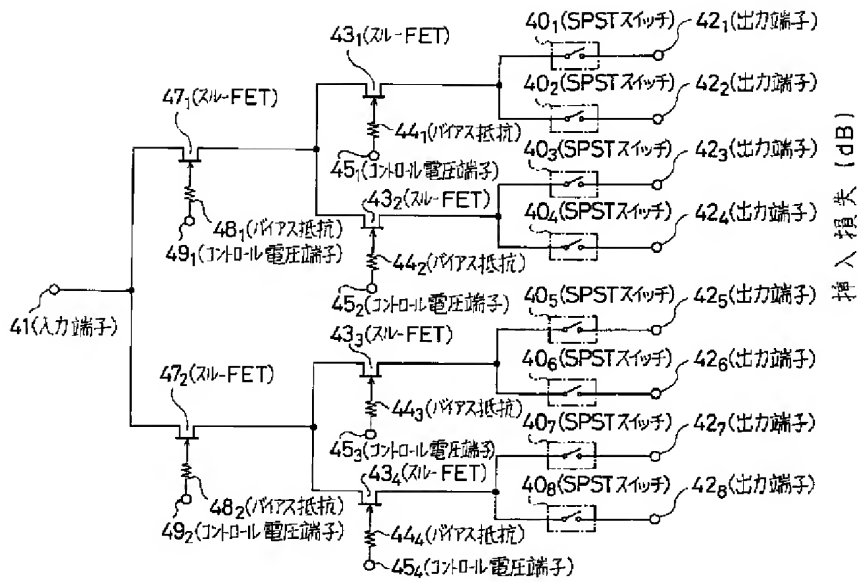
【図 5】



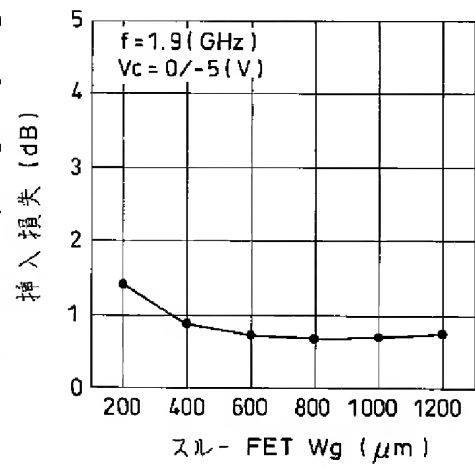
【図 8】



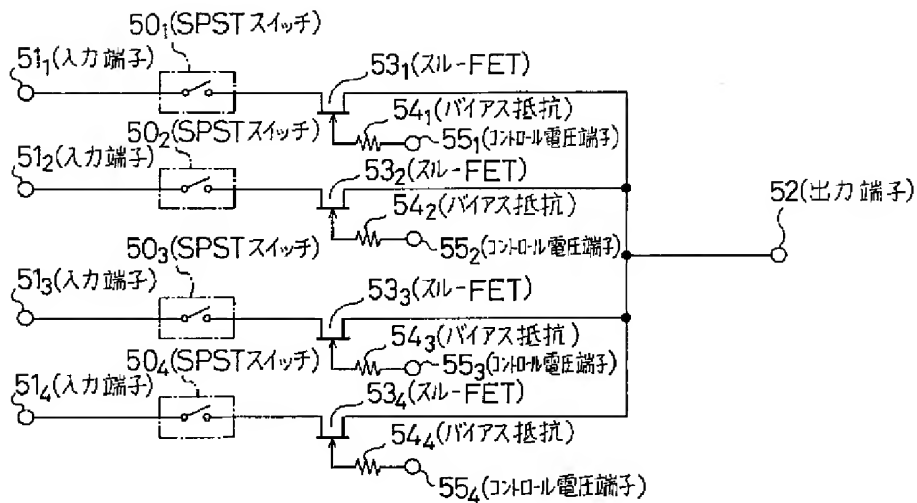
【図 7】



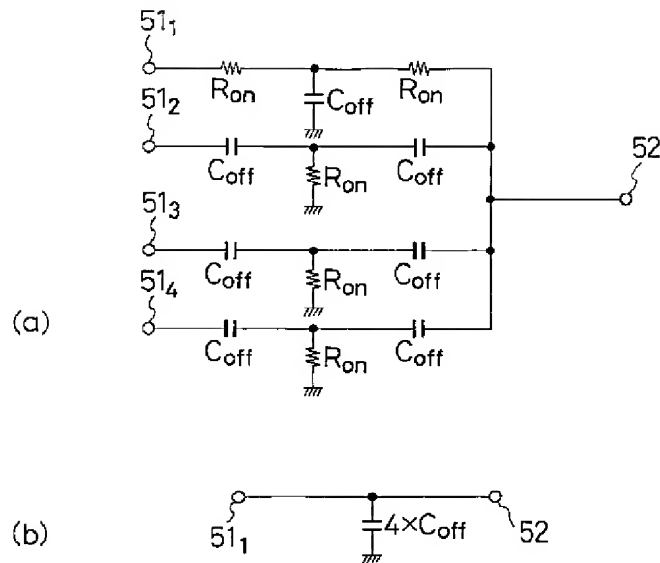
【図 15】



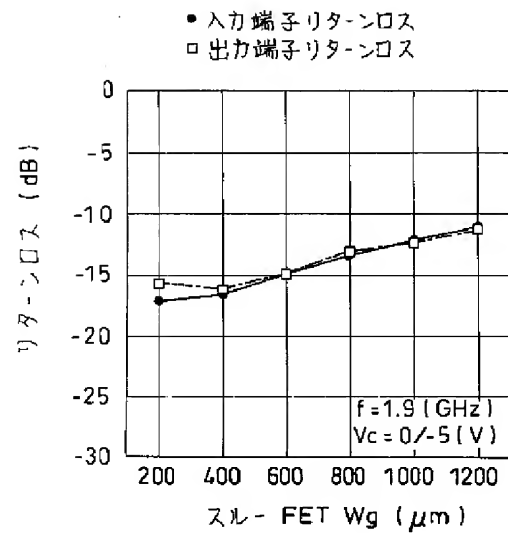
【図 9】



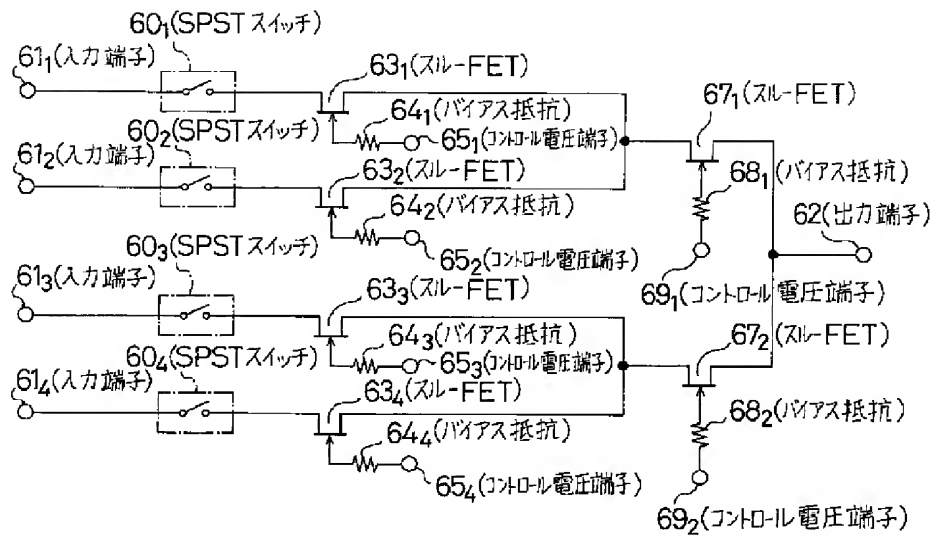
【図10】



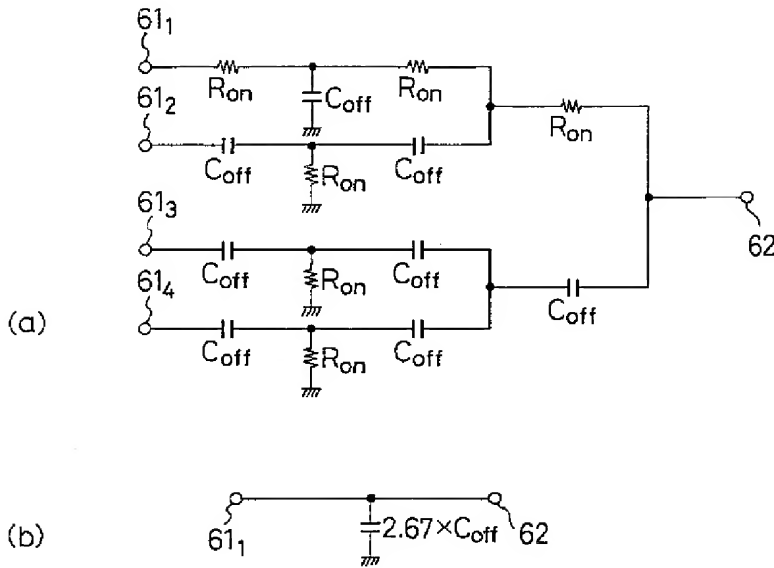
【図14】



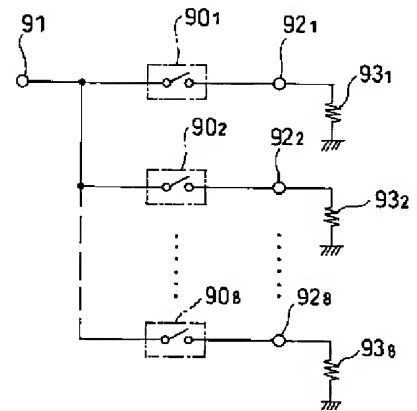
【図11】



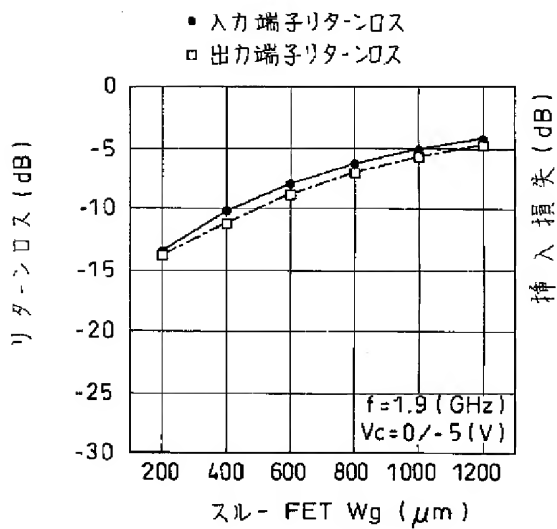
【図12】



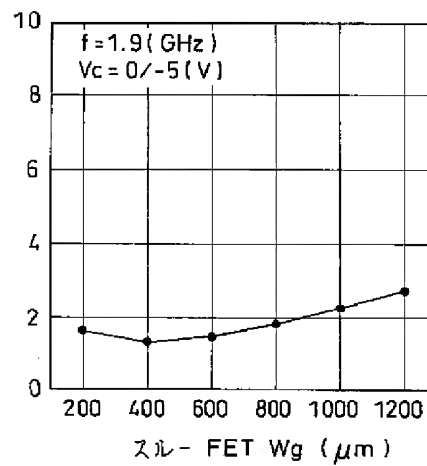
【図16】



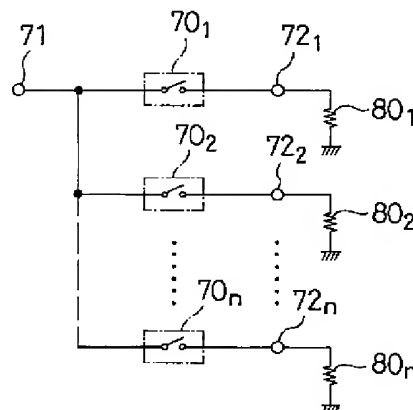
【図17】



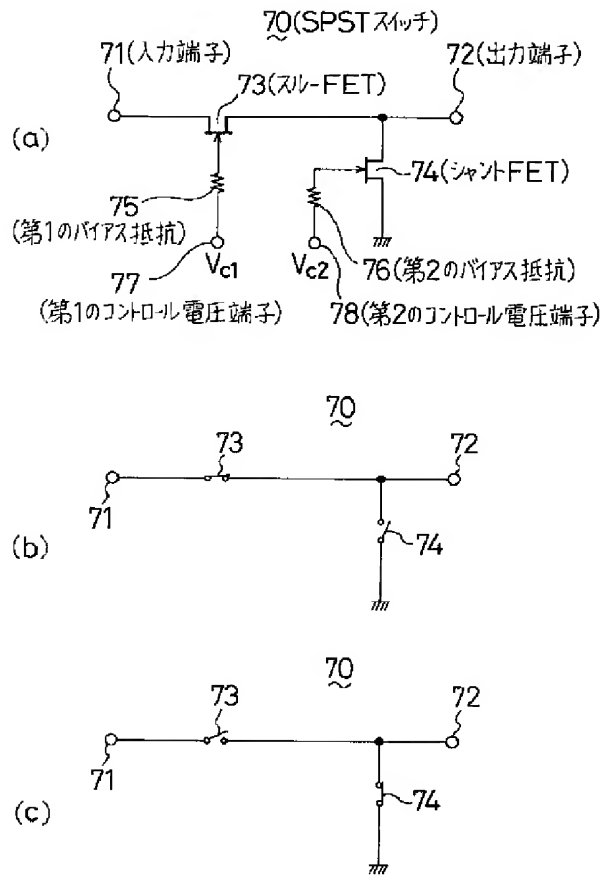
【図18】



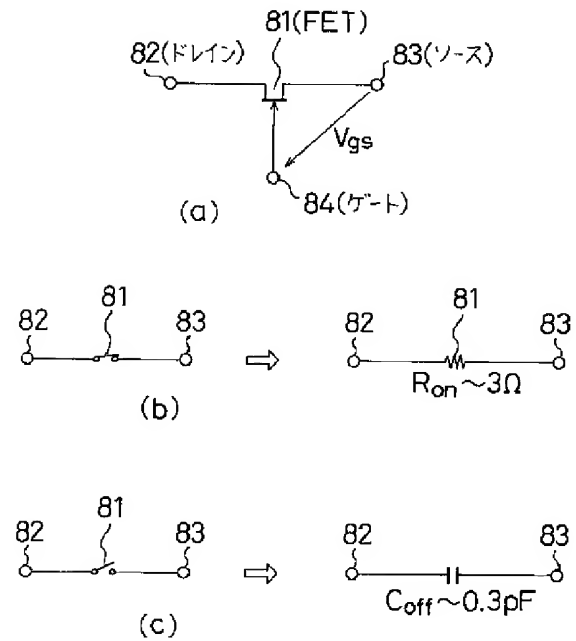
【図22】



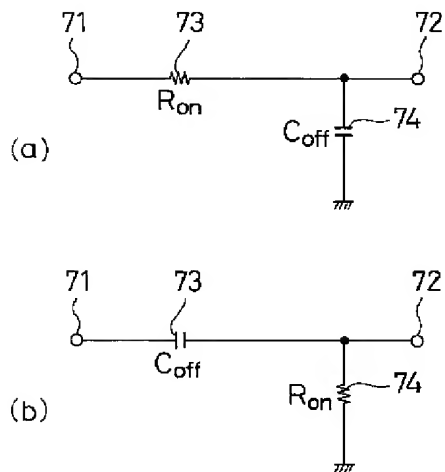
【図19】



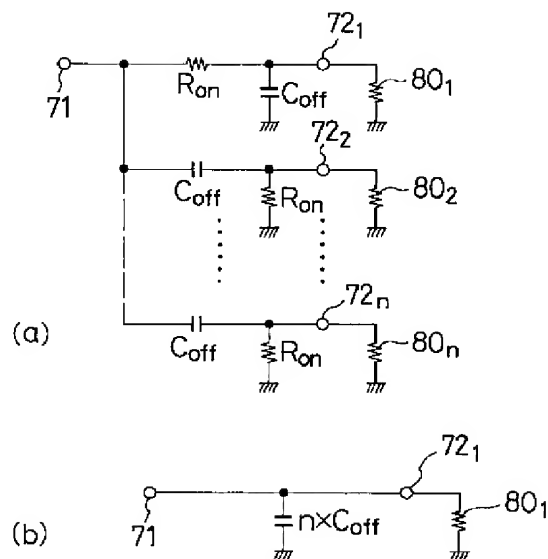
【図20】



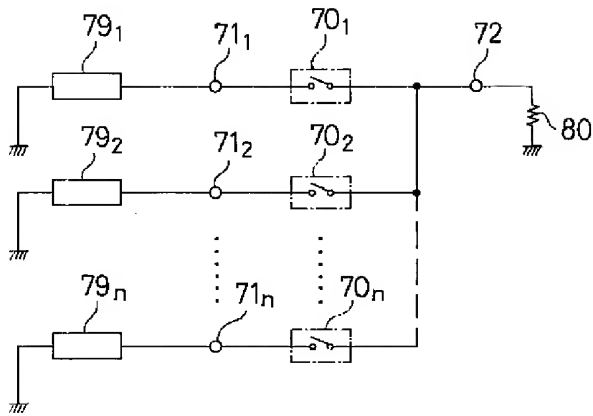
【図21】



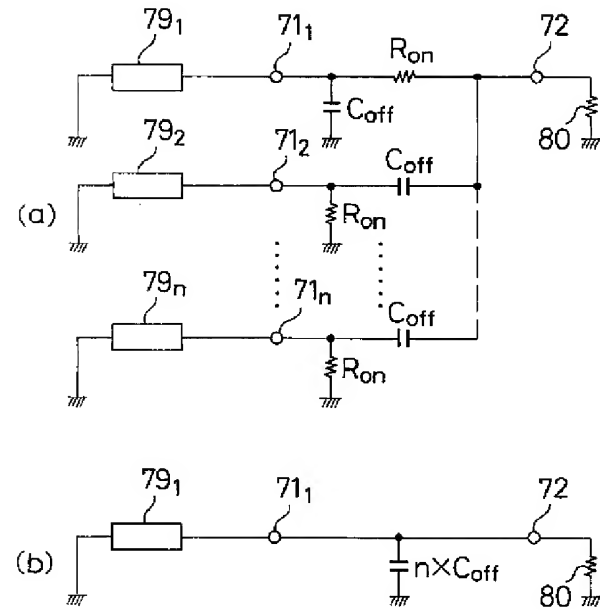
【図23】



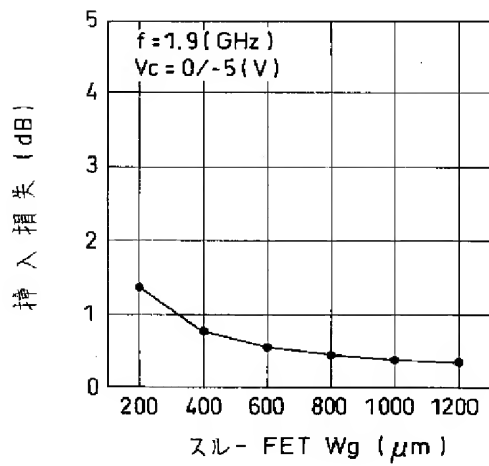
【図24】



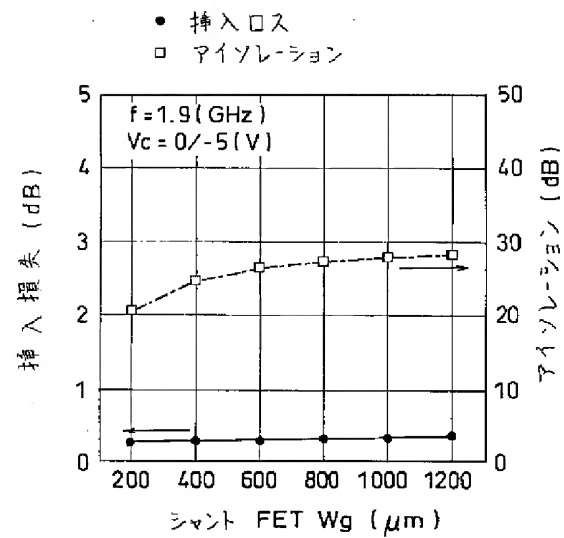
【図25】



【図26】



【図27】



【図 28】

